



山西大學
Shanxi University

2011 届硕士学位论文

基于 FPGA 的多通道符合计数器

作者姓名	霍 强
指导教师	张 靖 教授
学科专业	光学工程
研究方向	量子光学
培养单位	量子光学与光量子器件国家重点实验室 山西大学光电研究所
学习年限	2008 年 9 月至 2011 年 6 月

二〇一一年五月

山西大学

2011 届硕士学位论文

基于 FPGA 的多通道符合计数器

作者姓名	霍 强
指导教师	张 靖 教授
学科专业	光学工程
研究方向	量子光学
培养单位	量子光学与光量子器件国家重点实验室 山西大学光电研究所
学习年限	2008 年 9 月至 2011 年 6 月

二〇一一年五月

Thesis for Master's degree, Shanxi University

Multi-channel Coincidence Counter based on FPGA

Student Name	Huo Qiang
Supervisor	Prof. Zhang Jing
Major	Optics Engineering
Field of Research	Quantum Optics
Department	State Key Laboratory of Quantum Optics and Quantum Optics Devices Institute of Opto-Electronics
Research Duration	2008.09-2011.06

May, 2011

目 录

中 文 摘 要.....	I
ABSTRACT	III
第一章 前言	1
第二章 多通道符合计数器原理	3
2.1 符合测量基本概念	3
2.2 多通道符合计数器工作原理	5
2.3 符合时间窗口的设置.....	8
2.4 多通道符合计数器中的 FPGA 内部结构.....	11
2.5 FPGA 和以太网—串口转换模块简介.....	14
2.5.1 FPGA 简介	14
2.5.2 以太网—串口转化模块简介.....	16
第三章 11 通道符合计数器及其测试.....	18
3.1 11 通道符合计数器简介	18
3.2 可编程延迟线 DS1023	20
3.3 11 通道符合计数器中的 FPGA	23
3.4 11 通道符合计数器中的以太网—串口信号转化模块.....	28
3.5 11 通道符合计数器的处理程序及其测试	31
总结与展望.....	35
参 考 文 献	36
硕士研究生期间完成论文	39
致 谢	40
个人简况及联系方式.....	41
承 诺 书.....	42
学位论文使用授权声明	43

Contents

Chinese Abstract	I
Abstract	III
Chapter 1 Overview	1
Chapter 2 Principle of Multi-channel Coincidence Counter	3
2.1 Basic Concepts of Coincidence Measurement.....	3
2.2 Principle of Multi-channel Coincidence Counter.....	5
2.3 Set of Coincidence Time Window.....	8
2.4 Architecture of FPGA in Coincidence Counter.....	11
2.5 Introduction of FPGA and Rabbit Core.....	14
2.5.1 Introduction of FPGA	14
2.5.2 Rabbit Core	16
Chapter 3 11 Channel Coincidence Counter and its Test	18
3.1 Introduction Of 11Channel Coincidence Counter.....	18
3.2 Programmable Delay Line DS1023	20
3.3 FPGA in 11 Channel Coincidence Counter.....	23
3.4 Rabbit Core in 11 Channel Coincidence Counter	28
3.5 GUI and Test of Coincidence Counter	31
Summary and Outlook	35
References	36
Published Papers and Results	39
Thanks	40
Personal Profiles	41
Gaurantee	42
Certification	43

中 文 摘 要

符合测量在量子光学实验中起着重要作用。它可以用于纠缠光子对的判定，单光子计数等实验。用于符合事件测量的电子系统称为符合计数系统。通常对符合事件的测量受到光电探测器和符合计数系统性能的限制。得益于半导体技术的飞速发展，光电探测器的性能得到了极大提高。为了能让探测器的性能得到充份利用，需要设计新的更适用于量子光学实验的符合计数系统。简单的符合计数可以用乘法器或与门等分立元件来实现，然而当符合测量涉及三路或更多通道的测量时，使用分立元件的符合计数系统将变得复杂，尤其是分立元件会给信号带来额外的延迟时间，可能会影响最终的符合计数结果，无法满足实验要求。市场上现有的多通道符合计数器通常基于专用集成电路(ASIC)和时间—幅度转换器(Time-Amplitude Converter)，因而价格昂贵，同时传统符合计数器设计多用于核物理或生物学研究，如荧光寿命成像，并不是专为量子光学实验而设计。为了解决这一问题，我们实验室制作了基于 FPGA 的多通道符合计数器，本文介绍了基于现场可编程门阵列(FPGA)的多通道符合计数系统的设计原理及其处理程序和调试过程。主要内容有以下两部份：

第一：介绍基于 FPGA 的多通道符合计数系统的设计思想与结构。符合计数器的设计难点在于精确设置符合时间窗口，与传统符合计数器不同，基于 FPGA 的多通道符合计数器将一个可以精确控制的延迟脉冲用作开关信号，从而控制符合时间窗口。这一过程由可编程延迟线来实现；符合计数过程在 FPGA 内实现，并根据发生符合的信号所处的通道将结果存储在存储器不同位置；以太网—串口转换模块可以将来自用户主机的命令转换为串口信号，从而实现用户对整个符合计数系统工作过程的控制，同时它还负责将 FPGA 内存储的符合计数结果转换为以太网信号传送至用户主机。FPGA 是多通道符合计数系统的核心元件，它根据从以太网—串口信号转换模块得到的命令完成符合计数，符合计数结果存储在 FPGA 自带的存储器内，本文将介绍符合计数结果在 FPGA 内的存储格式与被测信号的频率之间关系，以及以太网—串口信号对 FPGA 内符合计数过程的控制。

第二：我们制作了适合我们实验室需要的 11 通道符合计数器。同时还为 11 通道符合计数器编写了使用 UDP 协议的处理程序，这一程序还可以用于校准 11 通道符合计数器的符合时间窗口。最后我们将两台单光子与符合计数器相连，观察它们在不同强度背景光下的符合计数，实验结果表明我们制作的 11 通道符合计数器工作

正常，准确完成了符合计数过程，可以满足实验需要。

基于 FPGA 的多通道符合计数器结构紧凑，成本低，与现有多通道符合计数系统相比，它拥有更多测量通道，同时 FPGA 可以多次重复配置，方便用户修改自己的设计，与传统的符合计数器相比具有更大的灵活性，可以更好地满足量子光学实验的要求。

关键词：FPGA；多通道符合计数器；符合分辨时间

ABSTRACT

Coincidence counting plays an important role in Quantum Optics. It could be used in the violation Bell's inequality and measuring single photons interference, or indivisibility of single photons. The electronic equipment used to count coincidences is called coincidence counter. Since single photon avalanche diode (SPAD) has been greatly improved, now coincidence counting more depends on the performance of coincidence counters. Traditional multi-channel coincidence counter is based on time-amplitude converter and ASICs. They are expensive and not designed for quantum optics experiments. Simple AND gates is hard to measure coincidences more than three channels, because more discrete chips bring more delay time out of control. It may affect final coincidence result. To solve those problems, we use Field Programmable Gate Array (FPGA) to build multi-channel coincidence counter for quantum optics experiments. FPGA has the advantage of low cost and small sized. It could be used to realize smart coincidence counter with high performance.

In this paper, the fundamental concept of coincidence counting is present at first, including coincidence and coincidence resolving time. Then, the principle of multi-channel coincidence counting module will be introduced. Final part of this paper will take an 11 channel coincidence counter for instance, which is designed by Alan Stummer in Toronto University. The calibration of coincidence time window will be introduced. Further test will be taken by using two single photon counting modules under different background light. This paper includes two parts followed:

- 1) Element is used to generate a pulse which is delayed by a certain time compared to the input pulse. Delay time range could be from ns to us. The delayed pulse is taken as the switch signal of coincidence process in FPGA. Coincidence results will be stored in RAM of FPGA.
- 2) Take a real multi-channel coincidence counter based on FPGA for

instance to explain how a multi-channel coincidence counter works. Especially, the calibration of coincidence time window or coincidence resolving time will be displayed by testing the coincidence with different coincidence time window. Coincidence resolving time is important character for coincidence counter, it decides the maximum time window, in which two pulsed could be coincidence. Since different signal pulse has different coincidence time window, the coincidence window should be calibrated before experiments. Finally, to test the performance of multi-channel coincidence counter, two single photon counting modules are used. Their coincidence under different background light is detected by multi-channel coincidence counter.

Multi-channel coincidence counter based on FPGA is designed for quantum optics experiments. It is small-sized and low cost with more channels than conventional coincidence counters, which is used for time correlation experiments. Its compact architecture allows user to modify it any time they want to meet different experiments demand.

The characterized work is described as followed: Using FPGA instead of discrete chips or TAC for multi-channel coincidence counter. This brings flexibility and low cost to coincidence counter, which is helpful for quantum optics experiments.

Key words: FPGA; Multi-channel Coincidence Counter;

Coincidence resolving time

第一章 前言

符合计数器最早由德国物理学家博思 (Walther Bothe) 用于验证光与电子的碰撞中, 动量与能量守恒定律是否一起在作用。由此取得的成就让博思在 1954 年与玻恩一同获得了诺贝尔物理学奖。符合计数也被广泛用于核物理与宇宙射线的研究中。

在量子光学实验中, 符合计数是一种重要的实验测量方法。它可以用于对纠缠光子对的判定, 也就是验证贝尔不等式, 或是单光子干涉实验^[1,2]。在隐形传送态实验中, 极化纠缠光子对在到达探测器后, 对它们的判定通过时域上的符合来进行。主要有三类符合方案^[5]: 第一种是原子钟同步方案, 该方案测量绝对时间, 容易受外界影响, 引入光程变化, 最终影响系统时间; 第二种是同步光离线符合, 将调 Q 激光器的一束光脉冲的分为两份, 各自与纠缠光子耦合。随后将它们发送至接收端, 确保它们经过的相等的距离。在接收端, 测量各单光子事件与相应的同步脉冲的时间差, 如果时间差小于符合窗口时间, 就可以认为两个光子是纠缠光。第三种方案是电缆延时方案。

用于判定两事件是否属于符合事件的电子系统称为符合计数器。简单的符合计数器由乘法器或与门电路就可以实现^[3]。但在涉及三通道及或更多能道的符合测量时, 使用分立元件的符合计数器电路将会变得十分复杂, 尤其是分立元件会给信号带来额外的时间延迟, 而符合计数对于信号的“同时性”要求较高, 这种无法控制的时间延迟最终将会影响到最终的符合计数结果^[4]。因此在多通道的符合测量中, 符合计数器更多使用大规模集成电路来满足测量要求^[5]。市场上现有的符合计数器生产商主要包括 Becker&Hickl 公司、Pico 公司以及 ComTec 公司等。它们的产品时间差测量精度可以达到 pS 一级, 计数速率也可以达到 10MHz 甚至更高。但是它们的产品通常都基于专用集成电路 (ASIC), 价格非常昂贵。特别是这类符合计数器的设计通常基于核电子仪器 (NIM), 更多的时候用于测量信号的时间相关特性, 如用于测量时间相关单光子计数或是荧光寿命成像。这类符合计数器对符合事件的测量是通过时间-幅度转换器 (TAC) 将信号的时间间隔转换为电压值, 最终通过 TAC 输出的电压值也就是时间间隔来判定不同信号是否发生符合。这类符合计数器对 TAC 电路的精度以及稳定性要求较高, ASIC 的价格也很昂贵。这些因素都导致市场上现有的符合计数器价格昂贵, 特别是这些符合计数器通常都不是为量子光学实验专门设计, 更多的时候用在核物理或是生物学研究领域, 并不是十分适用于量子光学实验。因此需要重新设计一种适用于量子光学实验的多通道符合计数器。得益于数字电子

技术的快速发展^[6,7,8], 实现这类设计可以使用可编程逻辑器件, 如现场可编程门阵列 (Field Programmable Gate Array)。FPGA 与定制电路相比, 成本更低, 使用更加灵活; 与原有的可编程器件相比, FPGA 拥有更多的门电路, 有更强大的可编程逻辑资源。用户可以通过配置 FPGA 内的逻辑块来完成需要的逻辑功能。FPGA 与 ASIC 相比, 速度更慢, 所能完成的功能相对简单, 但是 FPGA 具有体积小成本低的优点, 同时 FPGA 可以多次重复配置, 随时修改设计, 便于用户修改设计满足最终的实验需要。基于 FPGA 的多通道符合计数器与传统的符合计数器相比, 可以拥有十个乃至更多的测量通道, 而传统符合计数器通常只有 4 到 6 个测量通道; 特别是基于 FPGA 的符合计数器不需要使用 TAC 电路, 从而极大降低了成本; 不使用 TAC 电路同时还意味着不需要设置专门的触发通道与触发信号, 进一步降低了实验系统的复杂程度。这些优点使得基于 FPGA 的多通道符合计数器更加适用于量子光学实验^[9,10,11,12]。

本文主要内容如下:

第二章, 介绍符合事件的基本概念, 重点介绍符合分辨时间, 或符合计数时间窗口。详细描述基于 FPGA 的多通道符合计数器的原理与结构, 包括多通道符合计数器对符合分辨时间的设置, 构成多通道符合计数器的主要模块, 以及各模块的主要功能。

第三章, 通过具体的多通道符合计数器, 来说明多通道的实际工作过程, 演示基于 FPGA 的多通道符合计数器对符合分辨时间, 也就符合时间窗口的校准; 最后使用两台单光子计数器在背景光下的符合计数进一步测试多通道符合计数器在实验中的实际性能。

第二章 多通道符合计数器原理

符合计数器是符合测量中用到的重要仪器，它的性能直接关系到符合测量的结果。简单的两通道的符合测量可以用乘法器或与门电路等分立元件来完成。然而随着各种符合测量实验变得复杂，在实际使用中，经常需要进得三通道或更多通道的符合测量。在这类实验中，需要专门的多通道符合计数器来满足实验的需要。传统的多通道符合计数器，如市场上现有的 Becker&Hickl 公司的 SPC 系列计数器，通常基于核电子仪器标准设计。更多用于核物理或生物学领域，如荧光寿命成像等。这类多通道符合计数器通过记录不同通道事件发生的时间间隔来判定这些脉冲是否属于符合事件，因而它们的核心元件是时间—幅度转换器（time-amplitude converter），也就 TAC 电路。为了确保测量精度，这类符合计数器对 TAC 电路的精度与稳定性均有较高要求，同时这类符合计数器往往采用专用集成电路（ASIC），这些因素都导致这类符合计数器成本昂贵，同时并不十分适用于量子光学实验。为了克服这些不足，得到一种更加适用于量子光学实验的多通道符合计数器，可以采用现场可编程门阵列（FPGA）来代替专用集成电路，并通过设置符合计数时间窗口的方法来代替 TAC 电路。与传统的多通道符合计数器相比，基于 FPGA 的多通道符合计数器结构更加紧凑，成本更低，更适用于量子光学实验。

2.1 符合测量基本概念

符合测量最早由物理学家博思（Walth Bothe）用于判断在光子和电子的碰撞中能量和动量守恒定律是否一直在起作用。随后在 20 世纪 30 年代，符合测量被广泛应用于在宇宙射线研究领域，并取得了一系列成就。符合测量现在核物理和生物学等研究领域仍有广泛应用，如在核衰变中测量核衰变机制和短寿命元素半衰期，以及在生物学中用于荧光寿命成像等。在量子光学实验中，符合测量用于对极化纠缠光子对进行判定，以及进行单光子干涉等实验中。在符合测量中首先需要了解符合事件的概念。符合事件是指两个或两个以上同时发生的事件，其中包括真符合事件和偶然符合事件，发生真符合的事件之间存在时间关联关系，发生偶然符合的事件之间则没有这样的关系。在符合测量时应尽量避免偶然符合的干扰。用于测量符合事件的电子系统称作符合计数器。不同的探测器所探测得到的信号将会交由符合计数器处理，其中存在符合关系的信号将会被符合计数器所识别。典型的符合测量装置如图 2.1 所示。

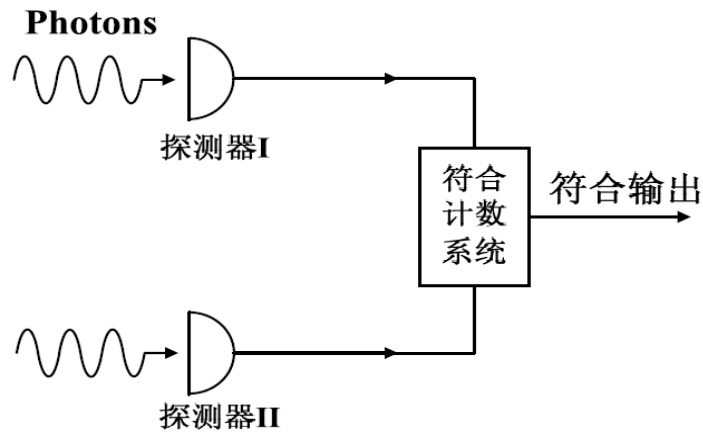


图 2.1 符合测量示意图

在图 2.1 中，探测器 I,II 为两个光电探测器，它们接收到不同位置处的光脉冲，并将光脉冲转化为电信号送至符合计数器，由符合计数器判断从两探测器处接收到的信号是否具有符合关系，并输出其中的符合脉冲。符合计数器的输出与两探测器的输出信号可以用图 2.2 来表示。

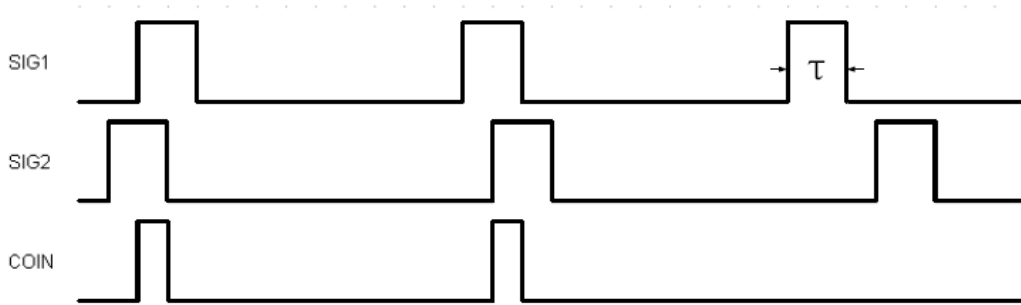


图 2.2 两路信号的符合脉冲示意图

从图 2.2 中可以看出，实际探测到的信号脉冲都有一定的宽度，当不同脉冲之间时间相差不大，也就是它们在时间上有一定的重叠时，就可以产生符合脉冲。因此，符合脉冲并不一定要求不同信号严格同时发生，在一定时间间隔内的信号脉冲均可以产生符合脉冲。可以产生符合脉冲的最大时间间隔称为符合分辨时间。如图中所示时间 τ ，时间间隔小于 τ 的脉冲均可产生符合脉冲。符合分辨时间是符合计数器的重要性能指标，它决定了符合计数器测量符合事件的精度。在传统基于 TAC 和 ASIC 的多通道符合计数器中，对符合事件的测量是通过记录不同信号发生的时间间隔大小来完成的，符合分辨时间更多与被测量信号本身的特性有关。在基于 FPGA 的多通道符合计数中，则通过设置符合计数时间窗口来完成符合分辨时间的设置，当然由于被测信号有不同的脉宽，频率乃至信号脉冲的上升沿等特性，在实验中实

际使用多通道符合计数器时，都需要测量或校准符合分辨时间。

2.2 多通道符合计数器工作原理

判定不同的信号脉冲之间是否存在符合，关键在于判断不同的信号脉冲发生的时间间隔。当然符合脉冲的产生不一定要求信号脉冲同时到达，时间间隔足够短的信号脉冲也可以产生符合脉冲。因此尽管多通道符合计数器有不同的结构和工作原理，但最基本的原理都是对不同信号脉冲的发生时间做出鉴别，最终判断不同信号脉冲是否属于符合。

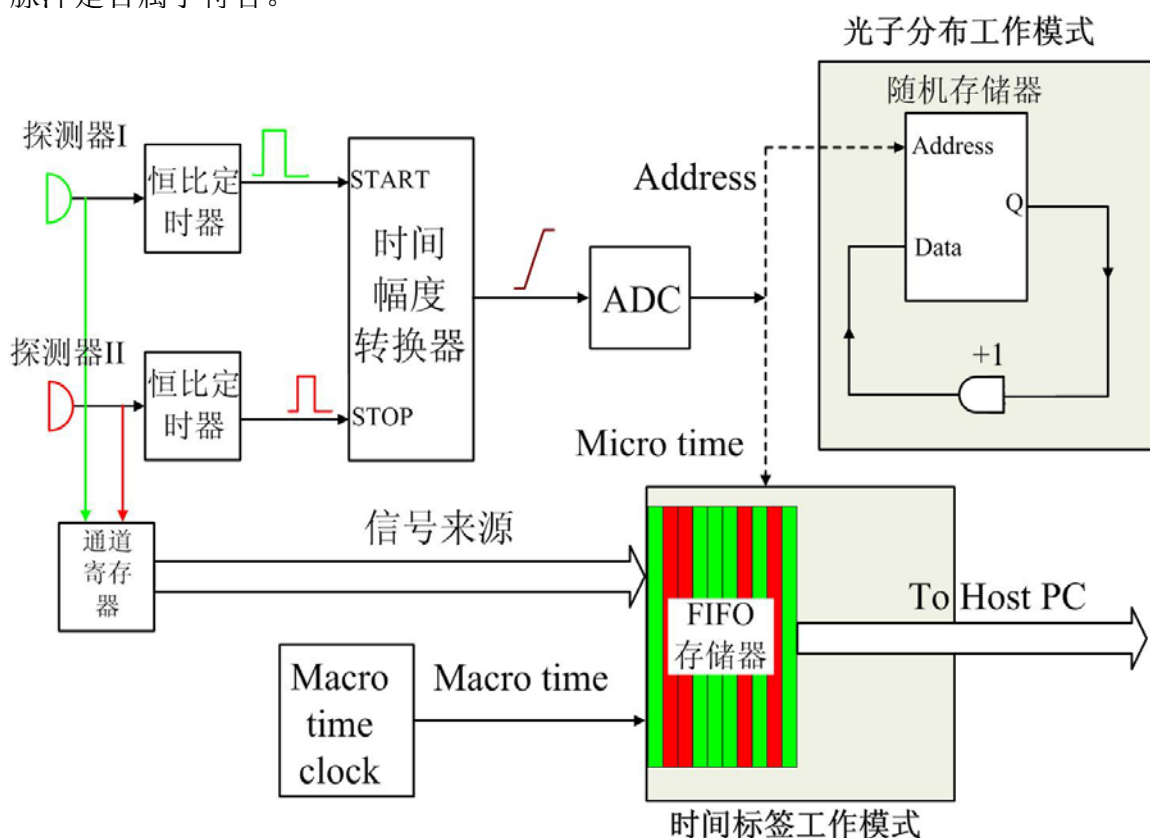


图 2.3 传统多通道符合计数器工作原理示意图

传统的多通道符合计数器更多利用时间—幅度转换器 (time-amplitude converter) 来对信号脉冲的时间间隔进行记录。时间—幅度转换器的功能将记录的时间间隔转换为电压信号，电压值的高平就代表了时间间隔的大小。这类符合计数器更多用于记录信号时间关联特性，如在时间相关函数的测量等实验中。市场上现有的这类符合计数器有 Becker&Hickl 公司，Pico 公司以及 Com Tec 公司的产品。例如 Becker&Hickl 公司的 SPC 系列符合计数器^[13]，它拥有一个触发通道和四个停止通道，可以测量四路信号的符合情况。SPC 系列符合计数器主要由以下几部份组成，时间—幅度转换器，恒比定时器 (Constant Fraction Discriminator)，存储器，以及模数转

化电路 (ADC)。SPC 系列符合计数器结构如图 2.3 所示。

在 SPC 系列符合计数器中, 信号脉冲首先会经过恒比定时器, 恒比定时器可以消除信号脉冲噪声, 避免对后续电路的影响, 随后信号脉冲会进入 TAC 电路, 并由 TAC 电路将不同信号脉冲发生的时间间隔转换为相应的电压值。SPC 系列符合计数器主要有两种不同的工作模式, 光子分布工作模式 (photon distribution mode) 和时间标签工作模式 (time tag mode)。光子分布工作模式将会把 TAC 电路得到的时间间隔由 ADC 转换为数字信号, 这一数字信号将作为存储器的地址信号, 使得存储器中相应存储单元中的数据加 1 后再返回该存储单元。通过不断测量信号脉冲发生的时间间隔, 最终可以得到信号脉冲发生时间间隔的分布。而在时间标签工作模式下, 符合计数器并不直接处理所得到的时间间隔信号, 仅仅只负责存储由探测器和 TAC 得到的信号, 最终将得到数据传输到用户主机, 对数据的处理将交由用户主机来完成。与光子分布工作模式相比, 时间标签工作模式不需要处理数据, 不会受到电路对处理数据速度的限制, 因此可以得到更多关于信号脉冲的信息, 主要包括不同信号脉冲间的时间间隔 (micro time), 各通道信号与实验开始时间的的时间间隔 (macro time), 以及被测信号来源于哪个测量通道等。由于在这种工作模式下, 符合计数器只负责存储信号脉冲的信息, 而用户主机则负责完成对这些信息的处理, 大大减轻了符合计数器工作负担, 同时将用户主机更强大的数据处理能力应用于符合测量中。因此时间标签工作模式更加适合于完成数据量更大, 处理过程更为复杂的符合测量过程。如在生物学领域的荧光寿命成像实验中, 有时数据量可能高达数百 MB, 使用时间标签工作模式可以得到质量更高的图像。传统的基于 TAC 电路的多通道符合计数器对时间的测量精度较高, 普遍可以达到 pS 量级, 非常适合于对于时间关联特性进行测量, 但是高测量精度意味这类符合计数器对于 TAC 电路以及其它元件, 如数模转换器 ADC 和恒比定时器等都有着极高的要求, 这些元件的工作精度和稳定性都将对符合计数器的整体性能产生影响。尤其是这些元件价格昂贵, 加之为了进一步提高工作速度, 传统的符合计数器经常采用专用集成电路, 进一步提高了符合计数器的成本。由于这些原因, 市场上现有的多通道符合计数器大多价格昂贵, 在一定程度上限制了这类符合计数器的使用。

传统的多通道符合计数器对符合事件的测量更多基于 TAC 电路对信号脉冲发生时间间隔的记录, 这种测量原理优点在于可以精确得到时间间隔, 达到了较高的测量精度, 但是在量子光学实验中, 有些情况下对于符合事件的测量只需要记录符合事件发生的次数, 并不一定需要得到信号脉冲间的时间间隔, 例如对纠缠光子对的

判定^[16,17]。在这类实验中，对于符合事件的判定只需要知道两事件是否在一段时间间隔内发生即可，也就是说只要在一定符合时间“窗口”内能探测到的信号脉冲，都可以算作是符合脉冲。通过符合时间窗口来判定符合事件可以极大降低多通道符合计数器的成本，同时为使用现场可编程门阵列（FPGA）来实现多通道符合计数器提供了极大方便。在基于 FPGA 的多通道符合计数器中，符合时间窗口的设置是通过可编程延迟线来实现的。可编程延迟线可以为信号脉冲产生一个延迟信号，延迟时间可以由用户来确定。延迟信号将作为开关信号，控制 FPGA 中的符合计数过程。基于 FPGA 的多通道符合计数器结构如图 2.4 所示。

图 2.4 是基于 FPGA 的多通道符合计数器的结构示意图。对符合分辨时间的控制由可编程延迟线与 FPGA 共同完成。对信号脉冲的符合计数过程在 FPGA 内完成。符合计数结果将存放在 FPGA 自带的随机存储器（RAM）内。对于 FPGA 内符合计数工作过程的控制由以太网—串口信号转换模块完成。以太网—串口信号转换模块同时负责将用户主机命令转换为串口信号，以及将存储在 FPGA 内的符合计数结果根据 TCP 或 UDP 协议转换为以太网信号，传送至用户主机。以太网—串口信号转换模块在 FPGA 和用户主机之间起到了桥梁作用。

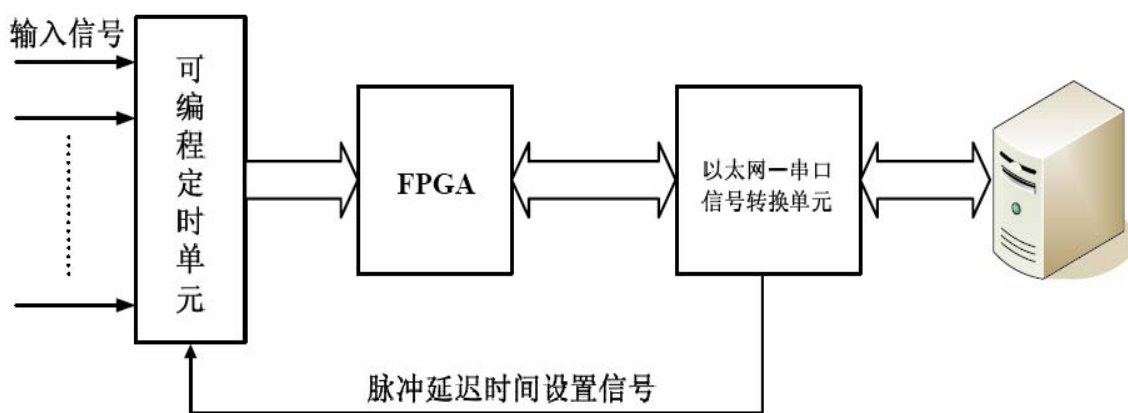


图 2.4 基于 FPGA 的多通道符合计数系统结构示意图

由图 2.4 可以看出，基于 FPGA 的多通道符合计数器结构紧凑，符合计数器部份只需要三种元件，这三种元件在市场上均有成熟的产品。以太网—串口信号转换模块则为用户控制符合计数工作过程提供了极大的方便，通过以太网—串口信号转换模块，用户对于符合计数器的控制只需要通过在主机上的简单网络编程就可以实现，VB、VC++ 以及 Labview 都可以轻松实现用于符合计数器的控制程序；FPGA 则可以多次配置，便于用户灵活修改设计，满足不同的实验要求，特别是 FPGA 可以用作 I/O 口的引脚数目很多，可以实现十个通道甚至更多的符合测量。在设计基于 FPGA

的多通道符合计数器时，需要考虑到的性能参数包括符合分辨时间与符合计数结果在 FPGA 中的存储格式，前者涉及可编程延迟线与 FPGA 中的时序处理模块，而后者则与输入信号的最大频率、以太网—串口信号转换单元的数据处理格式等均有关系。

2.3 符合时间窗口的设置

符合分辨时间是多通道符合计数器重要性能指标，它是两个脉冲能发生符合的最大时间间隔。符合分辨时间决定了符合计数器测量符合事件的精度。传统的符合计数器通过时间幅度转换器（TAC）来判定符合事件，符合分辨时间更多与信号脉冲的上升沿、脉宽等特性有关，容易受到不同信号脉冲的影响。并且通过时间幅度转换器来判定符合事件需要将时间间隔转换为电压信号，使得对符合事件的判定变得更加复杂，有可能影响到符合计数器的工作速度。特别是这类符合计数器对时间幅度转换器的精度和稳定性要求都较高，进一步提高了成本。因此在基于 FPGA 的多通道符合计数器中，采用可编程延迟线来取代时间幅度转换器，用于精确控制符合分辨时间。

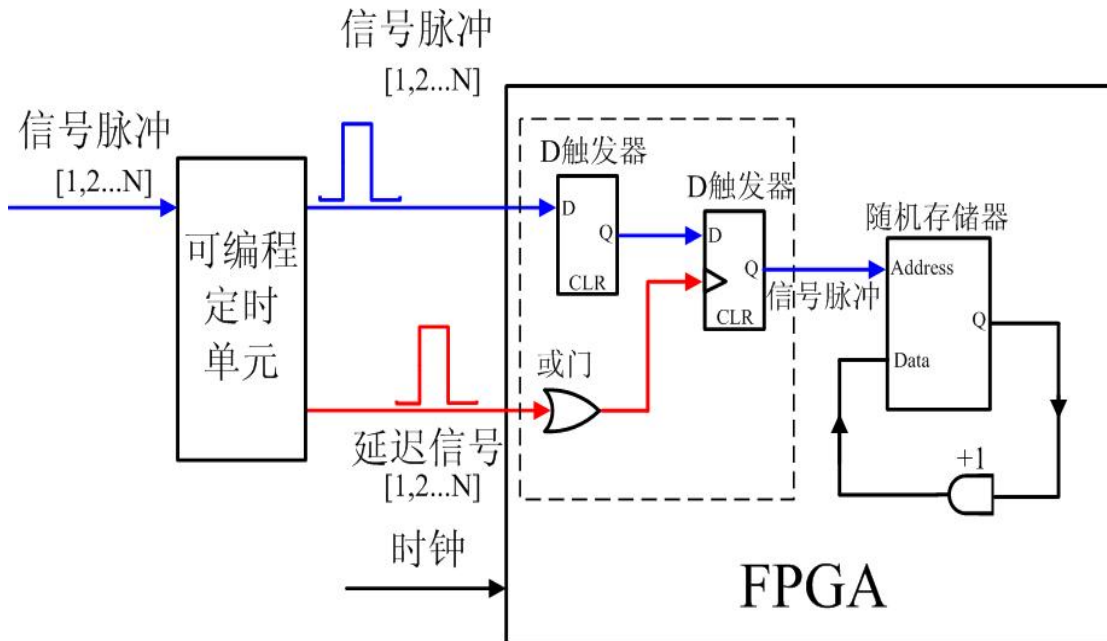


图 2.5 符合时间窗口设置原理

与传统的符合计数器不同，基于 FPGA 的多通道符合计数器对符合分辨时间的控制并不测量符合事件之间的时间间隔，而是通过设置符合时间窗口来实现的。同时基于 FPGA 的多通道符合计数器并没有专门的触发通道（START）与测量通道（STOP），它的所有测量通道都是一样的。它的符合时间窗口是指以最先到来的信

号脉冲为起点的固定时间窗口，符合时间窗口可以通过可编程延迟线由用户设置。基于 FPGA 的多通道符合计数器的符合时间窗口由可编程延迟线来完成，可编程延迟线可以为每个信号脉冲产生一个延迟信号，延迟时间由用户来确定，范围可以从 nS 到 uS 量级，精度可以达到 nS 量级。延迟信号将会作为 FPGA 内符合计数过程的开关信号。符合时间窗口的设置原理如图 2.5 所示。

对符合时间窗口的设置由可编程延迟线和 FPGA 共同完成，当 N 路通道的信号脉冲进入多通道符合计数器后，首先会进入 N 个对应的可编程延迟线，产生相应的延迟脉冲，延迟脉冲相对于信号脉冲的延迟时间由可编程延迟线来确定，延迟时间实际就是符合时间窗口。在图 2.5 中，蓝线代表信号脉冲，红线代表延迟脉冲。

在测量通道为 N 的情况下，共需要可编程延迟线数目为 N，产生信号总共为 2N。随后，全部的信号脉冲与延迟脉冲将会进入 FPGA，开始符合计数过程。信号脉冲首先进入 FPGA 中的 D 触发器(电平触发)，各测量通道的电平状态将被传递至输出端，也就是第二个 D 触发器（上升沿触发）的输入端，并保持该状态不变，等待触发信号抵达。第二个 D 触发器是边沿触发器，它的触发信号由 N 路通道的延迟脉冲来提供。所有的延迟脉冲在 FPGA 中首先会进入 N 路或门电路，如图 2.5 所示。或门的输出端的信号将传送至第二个 D 触发器，作为触发信号，只要 N 路延迟脉冲中的任意一路为高电平，或门的输出端就会为第二个 D 触发器提供一个上升沿信号。这时，第二个 D 触发器就会将 N 路通道的信号脉冲的状态全部传送至输出端。在随后的处理过程中，N 路通道的信号脉冲将作为 FPGA 中的随机存储器（RAM）的地址信号，它们的不同的电平就代表着 RAM 中不同的存储单元，相应的存储单元的数据将会提取，在加 1 后返回原来的存储单元。不同的符合情况在 RAM 所对应的是不同的存储单元，在实验结束时，只需要得到不同存储位置中的数据就可以得到实验结果。这样就完成了一次完整的符合计数过程。

由图 2.5 可以看出，在延迟信号到来之前，所有的信号脉冲都会首先经由电平 D 触发器传送至边沿 D 触发器的输入端。而电平 D 触发器可以一直保持输入端的电平不变；N 路延迟脉冲则在经过 N 路的或门电路后，才会控制边沿 D 触发器的工作，也就是说，只要 N 路延迟脉冲中有任意一路为高电平，边沿 D 触发器就会工作。因此在时序上，最先到达或门的延迟脉冲将会作为符合计数过程的开关信号，而最先到达的延迟脉冲和与其相对应的信号脉冲之间的时间间隔，就是我们所设置的“符合时间窗口”。而其它的通道的信号脉冲，只要能在最先抵达或门的延迟脉冲之前到达电平触发 D 触发器，都将会被传递至 RAM 的地址端。也就是说，每一次的符合事

件，都是由在最早的延迟脉冲到达或门电路之前，就已经存在于电平 D 触发器中的脉冲所对应的测量通道的信号的符合。存在脉冲的测量通道将会映射到 RAM 的地址端，将不同的符合事件的计数结果存储到相应的存储位置。关于具体的符合时间窗口的设置的说明如图 2.6。

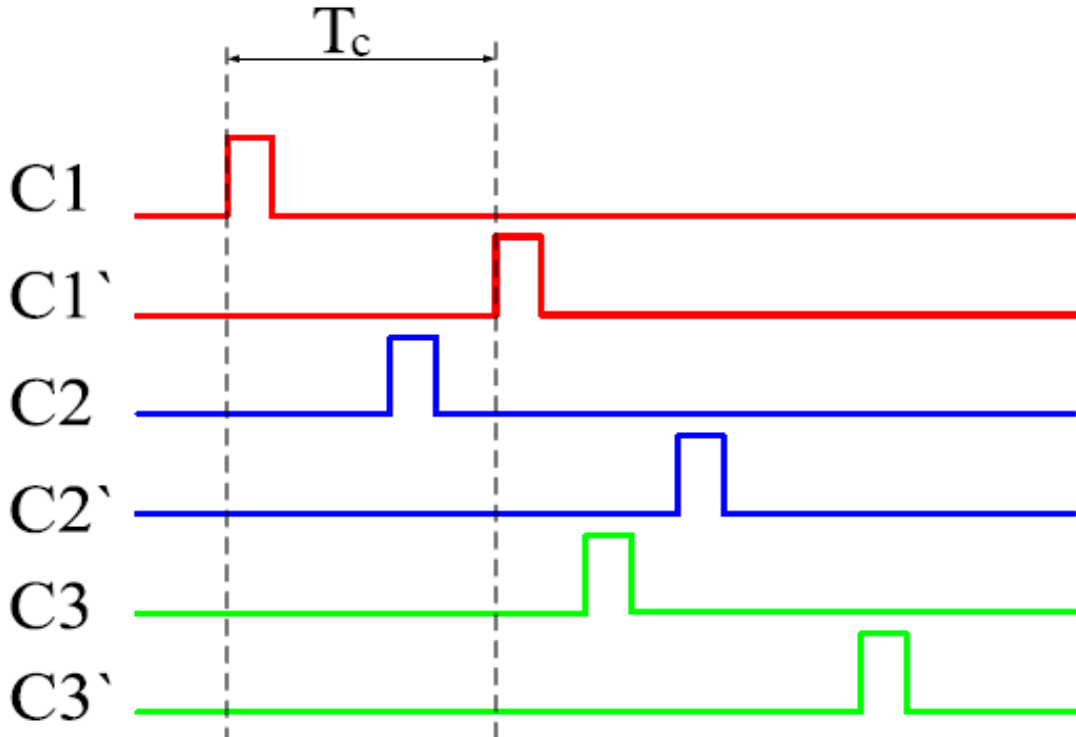


图 2.6 三路测量通道时的符合时间窗口

在图 2.6 中，通过三路测量通道的符合情况来说明符合时间窗口，C1、C2、C3 是三路测量通道的信号脉冲，C1'、C2'、C3' 分别是它们的延迟脉冲。各信号脉冲与它们的延迟脉冲之间的时间间隔是相等的。由于 C1 最早发生，因此它的延迟脉冲 C1' 在三路通道的延迟脉冲中也是最早的，而 C1' 的发生将会使得或门电路的输出端处于高电平。因此当 C1' 发生时，FPGA 中的边沿触发器将会被触发，各通道的信号脉冲将会被传送至 RAM 的地址端。而在 C1' 到来之前，另外两路测量通道中，只有 C2 的信号脉冲到来，C3 通道中的信号脉冲则远落后于 C1'。因此，在图 2.6 中，发生符合的是 C1 和 C2 通道的信号脉冲，C3 则由于远远落后 C1'，处在符合时间窗口之外，因此，C3 与 C1、C2 均无符合关系。在图 2.6 中，C1 和 C1' 之间的时间间隔 T_c 就是我们所设置的符合时间窗口，只有处于符合时间窗口的信号脉冲之间才存在符合关系，如图中的 C1 和 C2。设置符合时间窗口来判断符合事件是通过判断两事件间的时间间隔是否小于某一固定值来实现的。而传统符合计数器中，对符合事件的判断则是由 TAC 电路来记录两事件的时间间隔大小，最后再判断时间间隔来实

现的。两者相比，设置符合时间窗口的方法虽然不能记录不同信号脉冲间的时间间隔，但这一方法同样可以完成对符合事件的判断，同时略去了 TAC 电路这一环节，使得符合计数器的设计结构更加简单紧凑，赋予了符合计数器在工作速度，成本，稳定性，体积与灵活性等方面的更大的改进空间，从而更好满足量子光学实验的要求^[25,26,27,28,29]。

由于符合时间窗口实际上是最早到达的信号脉冲与最早到达的延迟脉冲之是的时间间隔，并且这一时间间隔实际由可编程延迟线来决定。因此在基于 FPGA 的多通道符合计数器中，符合分辨时间也由可编程延迟线来确定。可编程延迟线的工作精度也决定着符合计数器符合分辨时间的精度。因此可编程延迟线的性能对多通道符合计数器的性能有着重要影响，在设计基于 FPGA 的多通道符合计数器时，应当尽可能选择高精度的可编程延迟线。

2.4 多通道符合计数器中的 FPGA 内部结构

在图 2.5 中，FPGA 中只绘出了与符合时间窗口的设置有关的部份，实际上，FPGA 作为多通道符合计数器中的核心元件，内部所包含的工作模块远比图中复杂。符合计数过程的主要工作过程均在 FPGA 内完成，最终的符合计数结果也存储在 FPGA 中，FPGA 不仅需要完成对信号脉冲的符合计数过程，同时还需接收来自用户的命令信号，根据用户的命令来控制符合计数过程。与之相对应在 FPGA 中主要包括符合时间窗口设置模块、符合计数控制模块以及数据传递模块。如图 2.7 所示。

在图 2.7 中，用于设置符合时间窗口的部份与图 2.5 虚线框中部份相同，其功能也是完成对符合时间窗口的设置。与图 2.5 不同的是，信号脉冲实际并不会直接联接至 RAM 的地址端，而是通过符合计数控制模块与 RAM 相联接。符合计数控制模块负责接收从符合时间窗口设置模块出来的信号脉冲，并将信号脉冲传送至 RAM 的地址端，以及在一次符合计数过程完成后，对符合时间窗口设置模块中的 D 触发器的输出端清空，确保不会对随后的符合计数产生影响。符合计数控制模块的工作状态由用户通过数据传输模块进行控制。当它的 ENA 端为高电平时，将会进行符合计数，符合计数控制模块将会把信号脉冲从边沿 D 触发器的输出端传送至 RAM 的地址线；低电平时，符合计数控制模块将会停止传送信号脉冲，中止符合计数过程，同时它的 CLR 端将会为高电平，由于它的 CLR 端与 D 触发器的 CLR 相联，这时将会清空 D 触发器的输出端，D 触发器将会恢复到符合计数前的状态，为下一次符合计数做准备。随机存储器 RAM 负责将符合计数结果存储在不同存储位置，保存符合计数

结果。为了对 FPGA 内符合计数过程进行控制以及得到 FPGA 内存储的符合计数结果，需要在 FPGA 内设置单独的数据传递模块。数据传递模块负责接收由用户发送来的控制信号，并将控制信号传递到符合计数控制模块，完成对符合计数的控制；以及将存储在 RAM 内的符合计数结果发送到用户主机上。如图 2.7 中数据传输模块所示。FPGA 的工作时序由外界提供，用户可以根据需要选取合适的晶振，更高的工作频率意味着符合计数器的测量精度更高，可以测量的信号脉冲的最高频率也会更高。如果选用的 FPGA 性能允许，可以选择输出频率在 100MHz 以上的晶振。

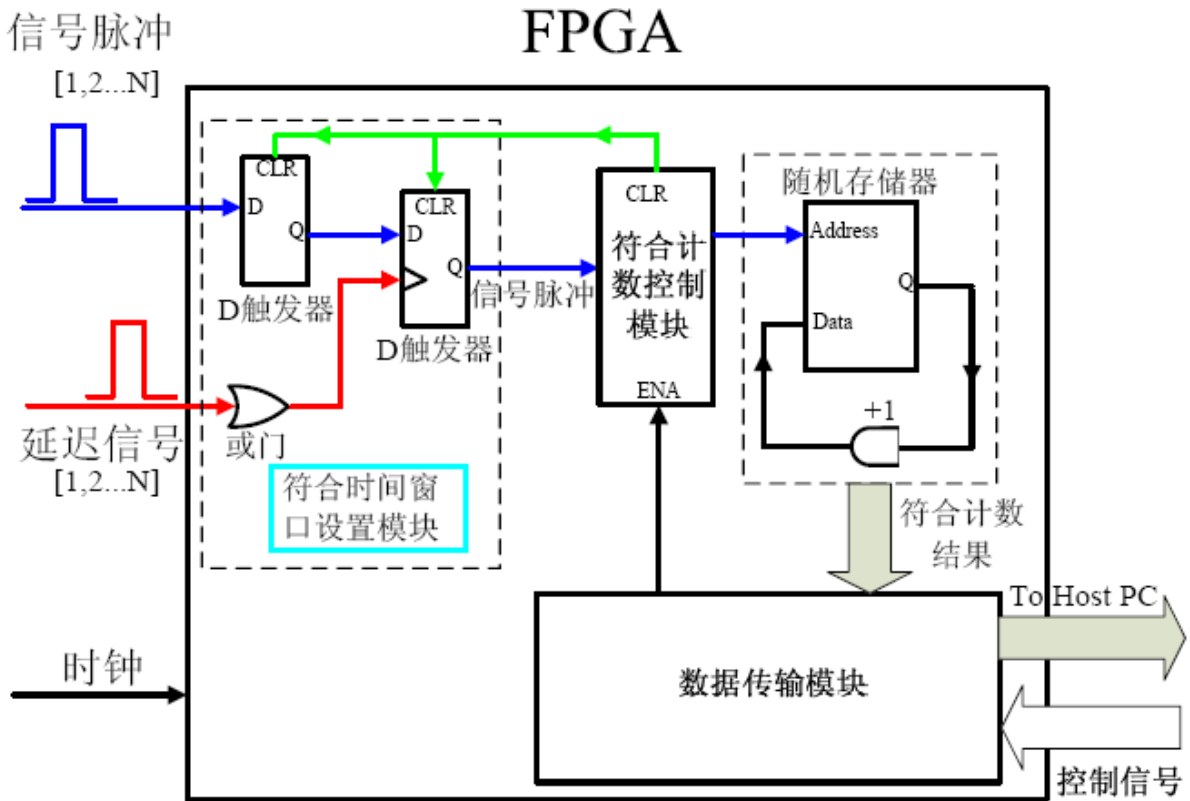


图 2.7 多通道符合计数器中 FPGA 内部结构

在完成多通道符合计数器中 FPGA 内部的设计时，需要考虑到 FPGA 与外部信号之间的关系，主要包括两个问题，首先是 FPGA 对于信号脉冲的最高测量频率，除了与为 FPGA 提供工作时序的晶振的频率有关外，对 FPGA 的最高测量频率主要限制因素是 RAM 内存储单元的位深度，也就是符合计数结果在 RAM 内的存储格式；其次就是 FPGA 还需要接收来自用户主机的命令和传递存储 FPGA 内的符合计数结果，因此在设计时需要考虑 FPGA 与外界进行数据交换的速度与格式。

在 FPGA 中，符合计数结果最终存储在随机存储器 RAM 中，FPGA 中的 RAM 是可以配置的，可以选择 RAM 的存储单元的多少以及数据在 RAM 中的存储格式，存储格式主要包括 8 bit，16 bit 和 32 bit 等。用 L 代表 RAM 用于存储符合计数结果的

位数, T_W 代表一次实验中全部符合时间窗口的总和, 输入信号脉冲的最大频率 f_{INMAX} , 可以得到 L 与 T_W 、 f_{INMAX} 的关系为:

$$L \geq \left[\log_2 (T_W \cdot f_{INMAX}) \right] \quad (2.1)$$

式 2.1 是在设计多通道符合计数器时, FPGA 中的 RAM 中所设置的数据格式需要满足的条件。为了保证 RAM 有足够的存储容量, 确保对符合计数结果的正确保存, 避免因存储位数不够而导致数据在 RAM 中出现溢出现象。在设计多通道符合计数器时, RAM 中存储位数至少不应小于式 2.1 中的存储位 L 。 L 就是 RAM 存储位数的下限, 在 FPGA 中硬件允许的情况下, 应尽可能选能更多的存储位, 保证足够的存储容量。

在考虑 FPGA 中的设计时, 另一个问题是 FPGA 与用户主机之间的数据交换。FPGA 既需要接收用户指令, 在用户的控制下完成不同的工作过程, 同时还需要将得到的符合计数结果传送到主机。然而 FPGA 本身并不具备与主机的通信能力, 需要借助于专门的数据转换模块, 如将串行信号转换为 USB 格式, 或是将串行信号通过 UDP 协议转换为以太网信号传送到主机。采用以太网一串口信号转化模块可以保证实验设备与主机的长距离联接, 同时还可以建立局域网, 在同一局域网中用户可以添加更多实验仪器, 建立更复杂的实验系统。使用以太网一串口信号转换模块需要注意的是, FPGA 的工作时序由晶振来决定, 而信号转换模块则一般会用自己的时序来工作, 因此在符合计数器内部, 实际上是存在异步时序工作状态。在处理数据时, 需要注意到异步时序给符合计数过程带来的影响。此外, 以太网一串口信号转换模块除了串口外, 还提供了通用 I/O 口供用户选择。在传递数据时, 用户如果选择通用 I/O 口, 就会涉及到与 FPGA 内存储数据的格式转化问题, 如果 FPGA 内存储数据采用 32 位, 而用户在数据转化模块上一次只能接收 16 位数据, 就必须采用移位操作。格式转化需要信号转化模块更多的处理时间, 特别是在某些对时间有特殊要求的实验中, 可能要求实验结果实时传输, 也就每次计数结束后, 将实验结果立即传送到主机。在这种实验中, 格式转化所带来的额外的处理时间会给实验带来很大影响, 甚至有可能导致死区时间 (dead time) 的出现。因此设计符合计数器时, 特别需要注意 FPGA 与信号转化模块之间数据格式转化所消耗的时间。当实验对实时传输没有特殊要求时, 用户可以设置采样时间, 在固定的时间间隔读取符合计数结果, 避免因格式转化对符合计数过程造成不必要的影响。

在符合计数结果传递至主机后, 用户需要从其中读出需要的符合计数结果, 也

就是要理解 RAM 的不同地址线所对应的符合情况。由于在基于 FPGA 的多通道符合计数器中，信号脉冲是作为地址信号送至 FPGA 的 RAM 中，不同的符合情况对应着不同的地址，最终存储在相应的存储单元。在测量通道为 N 时，全部存储单元为 2 的 N 次方，可以测量的符合情况为 2 的 N 次方，不同存储单元存储了对应符合情况的计数结果。例如当测量通道数为 8 时，可以测量的符合情况为 256 种，当第 1、第 3 和第 7 通道有信号脉冲时，RAM 的地址端为 01000101，对应的十进制数为 69，这时 RAM 的第 69 个存储单元中的数据将会加 1，也就是说，RAM 的第 69 个存储位置的数据对应的符合情况是第 1、第 3 和第 7 通道的信号的符合情况。当需要知道某一通道的信号脉冲的全部计数时，只需要知道该通道的单独计数，以及该通道与其它通道的符合计数的和即可。如在 8 通道的符合测量时，选用测量通道为第 7 通道与第 3 通道，如果要知道第 7 通道信号脉冲的全部计数，只要知道 01000000 和 01000100 存储位置，也就第 64 和第 68 个存储位置的数据，它们的和就是第 7 通道信号脉冲的全部计数。

2.5 FPGA 和以太网一串口转换模块简介

FPGA 和以太网一串口转换模块是多通道符合计数器中的重要组成部份，其中 FPGA 负责完成符合计数并存储符合计数结果，而以太网一串口转换模块负责完成主机与 FPGA 之间的数据交换。FPGA 决定了符合计数器的测量精度和速度，而以太网一串口转换模块则决定了符合计数器的数据处理能力。为了更好的说明 FPGA 和以太网一串口转换模块的性能，本节将简单介绍 FPGA 和以太网一串口转化模块的功能特性以及市场上现有产品的主要参数指标。

2.5.1 FPGA 简介

FPGA 是现场可编程门阵列 (Field Programmable Gate Array) 的缩写。它避免了专用集成电路价格昂贵，生产周期长，不适宜小批量定制的优点，同时还克服早期可编程器件的门电路有限的限制，用户可以对其进行现场在线编程，非常适宜于用户，如实验室用户的小批量、低成本设计与使用。这就意味着在各种量子光学实验^[30,31]中十分适合使用 FPGA 及其它可编程器件。用户可以通过硬件描述语言 (HDL) 完成电路设计，并通过主动配置或测试方式烧录进 FPGA 中，快速完成对设计的验证。FPGA 最早在 20 世纪 80 年代由美国 Altera 公司和 Xilinx 公司推出，并在 90 年代快速发展，在数字信号处理技术中起到重要作用。

FPGA 主要包括可配置逻辑模块、可编程输入输出模块及互连资源三大部份。可

配置逻辑模块是 FPGA 实现逻辑功能的基本模块，在 FPGA 中可配置逻辑模块排列成为阵列状，分布于整个芯片当中；可编程输入输出模块主要用于连接 FPGA 内部的逻辑功能与外部封装的引脚所对应的端口，处在芯片的四周边沿；可编程的互连资源则主要由各种连接线段和可编程连接开关组成，它负责将可配程逻辑模块之间的连接，或是将可配程逻辑模块与可编程输入输出模块连接起来，构成一个完整的电路。在 FPGA 内的三个主要组成部份中，可编程逻辑模块是 FPGA 的主要组成部份，其中包括了逻辑函数发生器、触发器、数据选择器等逻辑模块，用于实现各种逻辑功能；可编程输入输出模块用于 FPGA 芯片内的器件引脚和逻辑模块之间的连接，每一个可编程输入输出模块都控制一个引脚，它可以将每一引脚配置为输入、输出或三态；可编程互连资源主要包括很多金属线段，这些线段含有可编程开关，可以通过自动布线实现电路的连接，用在不同逻辑模块之间的连接。

FPGA 的编程可以通过原理图或文本编辑来完成。原理图编辑形象直观，类似于绘制电路图，用户可以调用 QuartusII 内附的元件库，并通过连线完成相关配置，实现逻辑功能，但其缺点在于不够灵活，一些简单的逻辑功能如果使用原理图编辑的方式来完成，可能需要十分复杂的连线，显得十分繁琐。对于设计者来说更多的时候都是在使用文本编辑方式进行 FPGA 的编程。文本编辑需要使用硬件描述语言（Hardware Description Language）^[23,24]。它可以完成从简单的门电路到完整的数字信号处理系统的设计，硬件描述语言主要功能是编写设计文件，建立整个电子系统的仿真模型，并且可以实现复杂的数字逻辑仿真。仿真结果显示无误后，就可以用于配置 FPGA。目前主流的 HDL 语言有 VHDL 和 Verilog HDL 两种，两者相比较而言，VHDL 具有高级语言的特征，适用于描述高层设计；而 Verilog HDL 更接近硬件，适合于低层级的硬件设计；两者的对比类似于 C 语言之于汇编。需要注意的是，尽管硬件描述语言在语法结构和形式上可能类似于 C 语言，但是与 C 语言的执行不同的是，C 语言需要逐条执行命令，而硬件描述语言描述的是硬件结构，不同的命令可能在同一时间执行，因此在编程时要特别注意硬件描述语言与 C 语言的不同。

在完成 FPGA 的编程后，需要将程序下载入 FPGA 中。FPGA 提供了不同的配置方式以满足用户的不同需求。常见的有主动配置（AS）和 JTAG 方式。AS 主要用于将完成验证的设计烧写入外部存储器，并在每次上电时，由 FPGA 器件控制外部存储器和初始化过程，存储器如 EPCS 系列包括 EPCS4、EPCS16 等。JTAG 接口是业界通用的测试标准，主要用于更方便的芯片测试，因此用 JTAG 方式配置 FPGA，更多时候用于在验证和测试用户的设计是否准确有效时才使用，JTAG 配置方式采用

IEEE Std 1149.1 联合边界扫描接口引脚，断电后程序就会丢失，不会对 FPGA 内部造成影响，它同样需要使用 Altera 仿真器来完成配置过程。

市场上现有的 FPGA 生产商主要有 Altera, Xilinx, Lattice 和 Actel。其中 Altera 和 Xilinx 主要生产一般 FPGA。通常使用较多的是 Altera 和 Xilinx 两家公司的产品，以常用的 Altera 公司产品为例，主要包括 MAX7000S/AE 系列，是 Altera 销量最大的 FPGA，已生产 5000 万片；FLEX10KE 系列，于 1998 年推出，采用 SRAM、2.5V 工艺，I/O 数为 134—470，主要有 10K30E、10K50E 和 10K100E；FLEX6000 系列，价格较低，使用较少；Straix 系列，采用最新一代 SRAM 工艺的 FPGA，集成了硬件乘加器；Cyclone 系列，已发展了五代，是目前的主流产品，中等规模的 FPGA，与 Straix 结构相似，成本较低。在选择 FPGA 时，应从四个方面考虑，就是芯片功能的多少，芯片速度的快慢，芯片的性价比以及功耗。首先就芯片功能来说，在编程以前应当估测功能资源以确定器件的选型，应当考虑到不同的 FPGA 的结构特点，具体涉及到硬件描述语言的选择、综合和适配开关的选择以及逻辑功能单元的性质和实现方法。在考虑芯片的速度时，如果没有特殊要求，一般的 FPGA 完全可以满足要求，现有的 FPGA 工作频率最高已经超过了 300MHz，不过不应该一味追求更高的工作频率，而应在工作频率与稳定性取得更好的平衡。在 FPGA 价格和功耗上，普通用户并不需要作太多考虑，得益于电子技术的飞速发展，FPGA 的价格已经迅速下降，工作电压越来越低，完全可以满足普通用户的需要。最后还需要考虑的是 FPGA 的封装形式，用户的设计项目不同，就需要在 FPGA 不同的封装中选择最适合于自己设计的封装，如 PQFP, TQFP 等贴片封装，不需要插座，引脚的间距只有 0.5 毫米；可以徒手焊接，而 RQFP 引脚间距远小于上两种封装，更适用于大规模的多 I/O 的设计；PGA 封装类似于 586CPU，成本则较高，限制了其使用；如果设计对于抗干扰和抗机械振动有特殊要求的话，可以采用 BGA 封装，这一封装采用球状引脚，是大规模 PLD 器件常见的封装。

2.5.2 以太网—串口转化模块简介

符合计数结果在多通道符合计数器中以二进制数的形式存储在 RAM 中，为了读取符合计数结果，需要对符合计数结果进行格式转化。将其转化为主机可以识别的以太网信号，便于数据传输。以太网—串口转化模块用于串口设备与以太网设备之间的双向文件传送，它也可以通过自带的 I/O 口读取 FPGA 中的符合计数结果，并将其转化为以太网信号，最后利用 UDP 或 TCP 协议传送至主机。以太网—串口转化

模块利用成熟的单片机芯片，如 8051 系列或 Rabbit 公司的 Rabbit 系列单片机，再加上相应的网络芯片，就能完成把信号从串行信号或简单的数组格式转化为以太网信号的过程。目前主要的以太网—串口转化模块有美国 Rabbit 公司生产的 RCM 系列；国内的类似产品则有 ZNE-100T 和 ETRI86T 等，它们主要采用国外现有的芯片，通过系统集成来完成信号的转化。

以 Rabbit 公司的 RCM2200 为例，它是在 Z80 系列单板机基础上发展出来的一种嵌入式应用产品。其体积只相当于普通银行卡的一半。内核使用 Rabbit2000 处理器，带有 256KB 的 Flash 存储器，128KB 的 SRAM，4 个串口以及 26 个通用 I/O 口，实时时钟和以太网网口。支持 10MB 的数据传输。其开发工具使用 Dynamic C 语言，该语言开发系统由 Rabbit 公司和 Z-World 公司共同完成，与标准 C 语言兼容，同时还支持汇编语言，对程序的编译和下载到对象中的过程可以通过 Rabbit 公司提供的特殊编程线缆来实现，Dynamic C 用于对 Rabbit 公司的各种模块进行实时编程，使得用户进行设计仿真更加容易。

第三章 11 通道符合计数器及其测试

目前市场上主要的多通道符合计数器多数都基于 TAC 和 ASIC, 已经有成熟的商业产品出售。利用可编程延迟线和 FPGA 的多通道符合计数器主要由不同的实验室自行设计和制作^[21,22], 如 whitman 大学的 M.Beck 在 Altera DE2 开发板基础上设计的符合计数器和加拿大多伦多大学的 Alan Stummer 所设计的 11 通道符合计数器^[14]。前者可以利用成熟的 Altera DE2 开发板, 它集成了 FPGA、I/O 口以及以太网、串行接口、液晶屏等大量元件。实现符合计数功能时不需要专门制作 PCB 板, 只需要用 QUARTUS II 进行编程, 但同时它也会受到 DE2 开发板具体性能的限制, 如测量通道数量不足等, 因此主要用于教学实验。后者摆脱了对开发板的依赖, 完全为了量子光学实验而设计, 实现了 11 通道的符合测量, 可以更好满足量子光学实验的要求。为了更好的说明基于 FPGA 的多通道符合计数器的性能, 本章将以我们实验室根据 Alan Stummer 的设计制作的 11 通道符合计数器为例, 进一步说明多通道符合计数器各部份的功能, 如可编程延迟线, 符合计数过程在 FPGA 中的实现, 基于 FPGA 的多通道符合计数器的处理程序, 最后通过单光子计数器在背景光下的计数对 11 通道符合计数器进行测试。

3.1 11 通道符合计数器简介

Alan Stummer 设计的 11 通道符合计数器包含 11 个测量通道, 可以测量 2^{11} 总计 2048 种符合情况。它的可编程延迟线采用了 Dallas 公司生产的 DS1023^[20], 可以产生相对于信号脉冲延迟 0—255ns 的延迟脉冲。FPGA 为 Altera 公司的 Cyclone^[18] 中的 EP3C10E144, 拥有总计 144 个引脚, 工作电压为 +3.3V。由于 DS1023 的输出电压为 5V, 与 FPGA 的工作电压并不匹配, 因此 DS1023 与 FPGA 之间通过分压电阻连接。对 FPGA 的编程可以通过主动配置或是 JTAG 来进行。其时钟信号由外接晶振提供, 电压为标准 TTL 电平, +3.3V, 频率为 100MHz。以太网—串口转换模块为 Rabbit Semiconductor 公司的 RCM4200^[19], 拥有总计 35 个通用 I/O 口, 用户通过 I/O 口来向 FPGA 传递控制命令, 以及将符合计数结果传送至用户主机, 以太网接口数据传输速率为 10Mbps。RCM4200 同时还为 11 通道符合计数器中所带的液晶屏传递信号, 便于用户掌握 11 通道符合计数器的内部工作状态。11 通道符合计数器与用户主机之间的数据传输采用 UDP 协议。我们实验室以 Alan Stummer 的设计为基础, 制作了 11 通道符合计数

器，内部结构如图 3.1 所示。

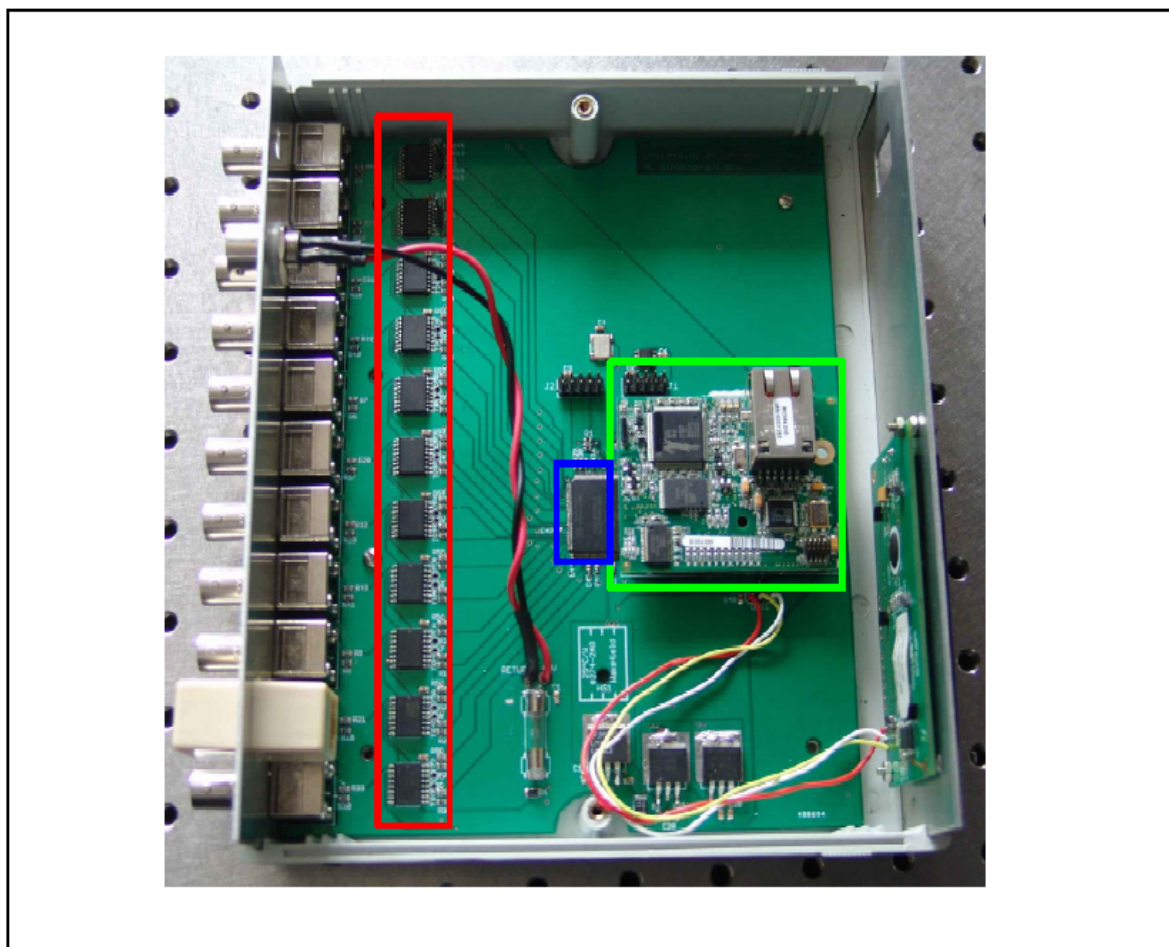


图 3.1 11 通道符合计数器内部结构

在图 3.1 中，左侧红线框内是可编程延迟线阵列，中间蓝线框内是 FPGA，最右侧绿线框内是以太网—串口转化模块 RCM4200。在 FPGA 与 RCM4200 的上方是用于 FPGA 编程的 AS 和 JTAG 接口。100MHz 晶振位于 AS 接口和 JTAG 接口的上方。信号脉冲通过最左侧的 BNC 接头进入可编程延迟线阵列，然后进入 FPGA 完成符合计数过程。右下方的液晶屏与 RCM4200 相联，当 RCM4200 执行不同的用户指令时，将会把相关信息传递至液晶屏显示，为用户掌握符合计数器的工作状态提供便利。符合计数器与主机之间的连接通过 RCM4200 来完成，RCM4200 通过以太网接口接收来自用户的命令，并将命令通过 I/O 传递至 FPGA 中，控制 FPGA 中的符合计数过程；在接收 FPGA 中的符合计数结果时，由于 RCM4200 I/O 口有限，而符合计数结果是 32bits 的二进数，因此在 FPGA 与 RCM4200 之间需要进行数据格式的转化；FPGA 中共有 2048 个 32bits 存储单元用于存储符合计数结果，也就是 4KByte 的数据需要通过 RCM4200 传送至主机，在 11 通道符合计数器中，4KByte 的数据共分为 8 个数据包。

多通道符合计数器使用+5V 供电,由三端稳压器 LM1086 产生+3.3V 电压用于为 FPGA 和 RCM4200 供电。11 通道符合计数器的符合时间窗口最大可以到 255nS,精度为 1 nS,死区时间 (dead time) 约为 80 nS,输入电阻为 50 Ohms。FPGA 中用于存储符合计数结果的存储单元容量为 32bits,最多可以存储 $2^{32}-1$ 次计数器,在溢出的情况下,符合计数过程将会自动停止。符合计数结果将会被分为 8 个数据包,采用 UDP 协议传送,RCM4200 传输数据速率为 10M,将全部符合计数结果完全传送至主机大约需要 100mS,由于在传输数据时,符合计数过程会暂停,可能会导致一部份符合计数丢失,因此在编写处理程序时,应特别注意传送数据时间对于符合计数过程的影响,将丢失的符合计数控制在可以接受的范围内。

3.2 可编程延迟线 DS1023

11 通道符合计数器中使用的可编程延迟线是 Dallas 半导体公司生产的 DS1023。DS1023 使用+5V 单电源供电,可以通过串行方式或是并行方式对延迟时间进行配置,配置信号为 8 位,与该公司之前生产的 DS1020/DS1021 类似。DS1023 系列不同型号有着不同的延迟时间范围由,精度随型号不同有所区别,包括 0.25nS, 0.5nS, 1nS, 2nS 和 5nS. 封装形式为 16 引脚插针或 SOIC 贴片封装。它的引脚功能图如图 3.2 所示。

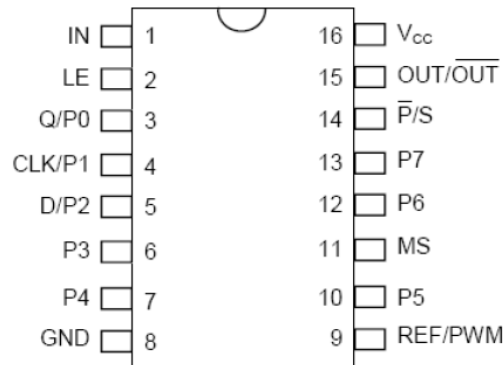


图 3.2 DS1023 引脚功能示意图

图 3.2 中,引脚 1 为输入引脚。引脚 2 为 LE,高电平时配置信号可以进入 DS1023 配置延迟时间,低电平将保持当前延迟时间。引脚 3 为 Q/P0,在串行配置模式下可以作为配置信号的输出端,并行配置模式下是配置信号的 P0 端。引脚 4 为 CLK/P1,在串行配置时用于输入时钟信号,并行配置时作为配置信号的 P1 端。引脚 5 为 D/P2,串行配置延迟时间时用作配置信号的输入端,并行配置延迟时间作为配置信号的 P2 端。引脚 6、7、10、12、13 分别是在并行配置延迟时间的配置信号的 P3,P4,P5,P6 和 P7 端。引脚 8 接地,16 接+5V 电源。引脚 9 用于输出参考脉冲。引脚 11 用于选

择输出模式，当它为低电平时为正常输出模式，输出参考信号（REF）与延迟信号（OUT）；当它为高电平时，DS1023 的输出将会成为脉宽调制信号（PWM）与延迟信号的反相输出（ \overline{OUT} ）。引脚 14 用于选择配置模式，高电平时为串行配置，低电平时是并行配置。引脚 15 用于输出延迟脉冲。特别需要注意的是，在使用 DS1023 时，由于 DS1023 内部结构的原因，不使用的引脚不应当被悬空，全部应当与地相连，避免因引脚悬空对延迟时间造成不利的影响。

DS1023 配置延迟时间有两种方式，一种是并行配置，另一种是串行配置。由引脚 14 的电平高低来决定。在并行配置模式下，应当先将引脚 2，LE 引脚的电平设为高电平，这时 DS1023 可以接收数据来配置延迟时间，用于配置延迟时间的 8 位数据将从 P0 到 P7 口一次性进入 DS1023，在接收完毕后，LE 引脚应当恢复低电平，此时 8 位数据将被保存在 DS1023 内，引脚 15 将会输出相应的延迟脉冲。在串行配置模式下，LE 引脚同样应被设为高电平，允许配置信号进入 DS1023。配置信号将会从引脚 5，也就 D/P2 进入 DS1023，同时应当在引脚 4 提供用于配置的时钟信号，8 位配置信号将会在时钟的上升沿，按从高位到低位的顺序进入 DS1023，全部进入 DS1023 共需要 8 个时钟周期。随后将 LE 引脚恢复低电平，DS1023 的输出端将会输出相应的延迟信号。与并行配置模式相比，串行配置最大优点在于它设置了专门用于输出配置信号的引脚，引脚 3，它将在 DS1023 接收到配置信号的同时，将配置信号以从高到低的顺序传递到下一片 DS1023 中去，从而允许对多片 DS1023 进行配置。

在使用 DS1023 时特别需要注意到的是由于信号脉冲在芯片内传播时，芯片本身也会给信号带来一定的延迟时间，可以被视作为固有延迟时间。因此实际的延迟信号相比于输入信号脉冲，其延迟时间是固有延迟时间与所配置的延迟时间之和。为了避免固有延迟时间的影响，DS1023 中专门设置了参考信号输出，参考信号用于被偿固有延迟时间对延迟时间的影响。可以认为，我们在使用 DS1023 时所配置的延迟时间，并不是输入信号与输出信号之间的时间差，实际上是参考信号与输出信号之间的时间差。

在配置延迟时间时，首先应当将 LE 引脚置为高电平，然后将延迟时间配置信号送到引脚 5，再让 CLK 端上升为高电平，完成再恢复低电平，完成一位配置数据的输入，这样重复 8 次，确保 8 位配置数据全部进入 DS1023 后，LE 引脚恢复低电平，将全部配置数据锁定在 DS1023 内，完成对延迟时间的配置。为了对 DS1023 进行测试，我们用 5MHz，+5V 的方波信号作为输入信号，通过串行配置模式配置不同的延迟时间，观察引脚 9 和引脚 15 处的输出信号之间的时间差。测试结果如图 3.3 所示。

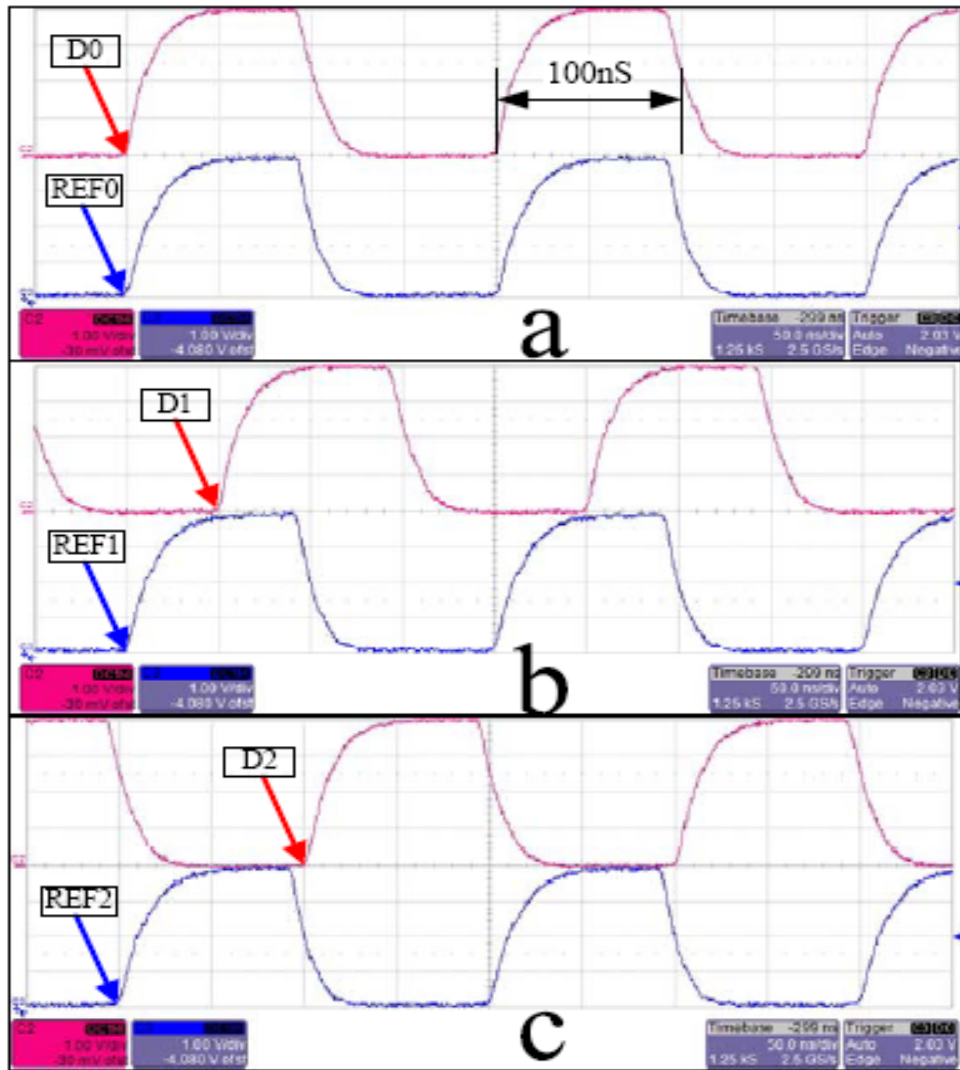


图 3.3 5MHz 方波信号的参考信号与延迟信号

图 3.3 中输入信号为 5MHz 方波信号，周期为 200ns。图 a,b,c 分别对应于延迟时间为 0, 50 ns, 和 100 ns。图中位于上方的是延迟信号，下方的是参考信号输出。D0,D1,D2 分别是延迟信号在不同延迟时间时，同一个脉冲上升沿起点的位置；REF0,REF1 和 REF2 分别为参考信号在不同延迟时间时，同一个脉冲上升沿起点的位置。可以看到，当我们逐渐增大 DS1023 的延迟时间时，参考信号的输出波形位置并没有发生变化，而延迟信号相对于参考信号明显变慢。在图 b 中相对于参考信号，延迟信号后移了 1/4 个周期，从 D0 位置移动到了 D1，也就是落后于 REF1 有 50ns 的时间。而在图 c 中，随着 DS1023 中所设置的延迟时间进一步增大，延迟信号相对于参考信号继续后移，移动了 1/2 个周期，处于 D2 位置，相对于参考信号的 REF2，落后了 100ns。

DS1023 可以精确控制延迟信号相对于参考信号的延迟时间，在多通道符合计数

器中，更精确的延迟时间意味着更精确的符合时间窗口，因此选用性能优良的可编程延迟线在设计多通道符合计数器时十分重要。DS1023 系列提供了不同的型号用于满足用户对不同精度和不同延迟时间范围的要求，延迟时间范围从数十 nS 到 us 不等，精度最高可以达到 0.25nS。需要注意的是由于 DS1023 的输出也是+5V，而 DS1023 又经常用在数字信号处理中，在数字信号处理，经常要用到的信号电平为+3.3V。因此将 DS1023 用于数字信号处理时，要注意电压之间的转换，可以通过分压电阻来完成。

3.3 11 通道符合计数器中的 FPGA

11 通道符合计数器中使用了 Altera 的 CycloneIII FPGA，具体型号为 EP3C10E144。拥有 144 个引脚，其中 I/O 引脚有 94 个，由+3.3V 作为 I/O 口电压，+2.5V 为 JTAG 接口供电，+1.2V 为 FPGA 内核供电。时钟信号由外接晶振提供，频率为 100MHz。最高工作频率可以达到 437.5MHz。在 11 通道符合计数器中，FPGA 主要负责完成的工作包括：与可编程延迟线 DS1023 一起完成对符合时间窗口的设置；完成符合计数过程并将符合计数结果存储在自带的 RAM 中；接受 RCM4200 传递的用户指令，按照用户指令完成符合计数并将结果传递到用户主机。FPGA 在符合计数器内所完成工作的示意图如图 2.7 所示。在 11 通道符合计数器中，FPGA 内主要包括 4 个模块，分别为符合时间窗口设置模块，符合计数控制模块，数据传输模块和数据存储模块。其中数据存储模块采用双通道的随机存储器 RAM，存储单元有 2048 个，存储容量有 32bits，每个存储单元的容量可以存储 4,294,967,295 次；之所以使用双通道 RAM，是因为它拥有两组数据线和地址线，可以分别和符合计数控制模块和数据传输模块相连，使得对符合计数结果的存储和传递两个过程相互独立，避免它们之间的相互干扰。在使用 Quartus II 对 FPGA 进行配置时，可以使用的编辑方法包括原理图编辑，文本编辑和混合编辑。在 11 通道符合计数器的 4 个模块中，数据存储模块是选择 FPGA 中的原有模块进行配置实现的；符合时间窗口设置模块通过原理图编辑方法实现；符合计数控制模块和数据传输模块则是通过文本编辑的方法，使用 VHDL 语言来实现。本节将主要介绍用 VHDL 语言设计的符合计数控制模块和数据传输模块。在 Quartus II 中完成相关的编译和仿真过程后，就可以通过仿真器对 FPGA 进行配置，但程序并不存储在 FPGA 中，而是存储在外部的存储器 EPCS4 中，在配置完成后，每次上电时，都会由 EPCS4 完成对 FPGA 的配置。11 通道符合计数器中 FPGA 的内部结构如图 3.4 所示。

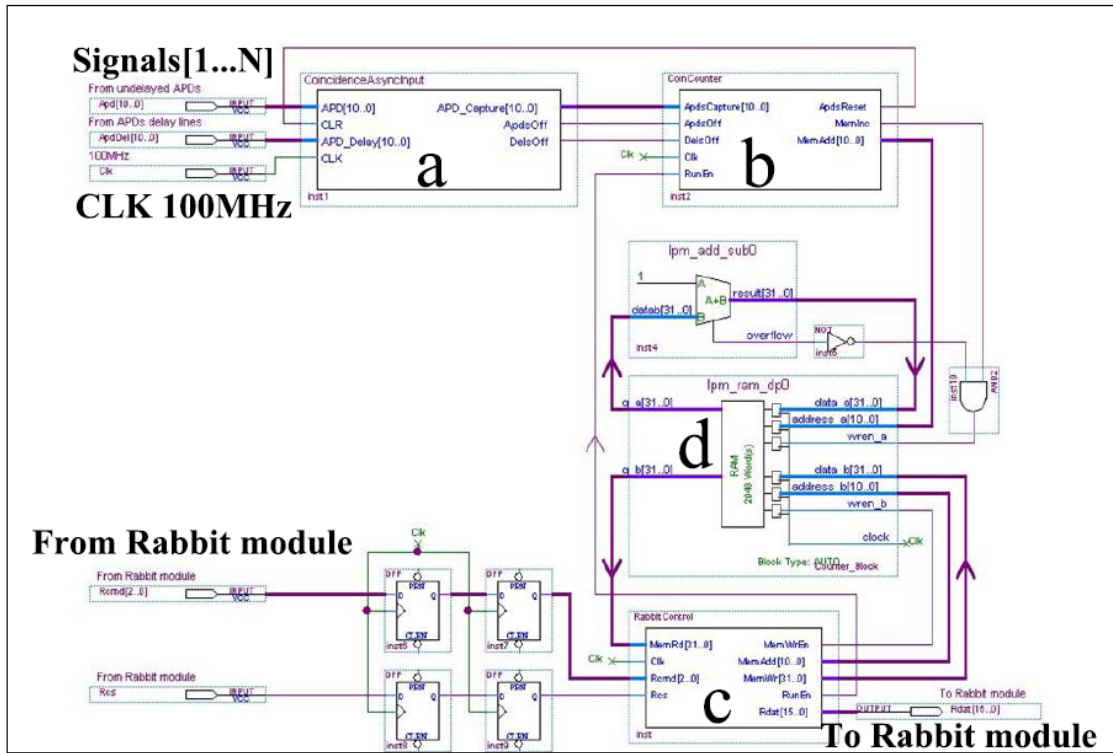


图 3.4 11 通道符合计数器中 FPGA 内部结构

图 3.4 给出了 11 通道符合计数器中 FPGA 内部结构，图中 a,b,c,d 分别对应于符合时间控制模块、符合计数控制模块、数据传输模块和数据存储模块 RAM。符合时间控制模块的功能和构成在 2.3 节中已经有详细描述。数据存储模块 RAM 在 Quartus 中根据需要设置参数，如地址线位宽和数据线位宽等，并不需另外的专门编程实现，可以利用 FPGA 中的不同存储器模块，快速实现设计要求。图 b 对应符合计数控制模块，图 c 对应着数据传输控制模块。模块 c 同时负责接收主机的命令和传递符合计数结果至主机，它有三位数据线 Rcmd[2..0]与 RCM4200 相连，三位命令线的不同状态标志着不同的工作状态。在符合计数进行时，数据传输模块将会根据接收的命令，激活符合计数控制模块，符合计数控制模块开始工作，在每次符合时间窗口结束时，将 11 位地址线传送到 RAM，完成符合计数，并返回初始化设置信号，使得符合时间窗口设置模块中的 D 触发器恢复初始状态。当用户希望结束符合计数过程，读取符合计数结果时，数据传输模块将会停止符合计数控制模块的工作，同时在与自己相连的 RAM 的地址线上输出不同的地址信号，在数据线上接收相应存储单元中的符合计数结果，并发送到 RCM4200(在图中的 To Rabbit module)，最终由 RCM4200 将符合计数结果使用 UDP 协议发送至主机，完成整个符合计数过程。数据传输模块和符合计数控制模块采用 VHDL 语言在 Quartus II 中实现。与以太网一串口信号转化

直接相关的是数据传输模块，只要理解了数据传输模块的工作原理就可以明白如何实现 FPGA 对符合计数过程的控制，数据传输模块的 VHDL 程序代码为：

```

module RabbitControl (
    input      [31:0] MemRd,           //与 RAM 相连的 32 位数据线。
    output reg      MemWrEn,          //为 1 时 RAM 开始工作。
    output reg [10:0] MemAdd,         //RAM 的 11 位地址线。
    output reg [31:0] MemWr,         //输出寄存器，用于存储符合计数结果。
    input         Clk,                //100MHz 时钟信号。
    output reg    RunEn,              //符合计数过程开关 为 0 时停止,为 1 时开始计数。
    input         [2:0] Rcmd,         //命令信号，来源于 RCM4200
    input         Rcs,                //CS 信号，为 1 时有效。
    output reg [15:0] Rdat);         //16 位数据线，将符合计数结果传送至 RCM4200
    localparam   VerRev = 16'h0203; //FPGA 内程序版本信息，现在是 2.0.3
    reg          HighWordOnBus; //在将数据从 32 位转化为 16 位时使用，为 0 时
                                //低 16 位有效，为 1 时高 16 位有效。
    reg          [1:0] TestDataState; //用于测试数据。
    reg          LastCs;              //记录 Rcs 之前的状态。
always_comb begin
    if ((Rcmd == 3'd6) && Rcs) Rdat = VerRev; //读取 FPGA 内部程序版本信息。
else Rdat = (HighWordOnBus) ? MemRd[31:16] : MemRd[15:0]; //读取符合计数。
end
always @(negedge Clk) begin
    if (Rcs) begin
        case (Rcmd)
            3'd0: begin                //对 FPGA 内部进行初始化设置。
                RunEn <= 0;           //停止工作，确保初始化正常。
                MemWr <= 32'd0;       //寄存器数据归 0。
                MemWrEn <= 1;         //寄存器开始工作。
                MemAdd <= MemAdd + 11'd1; //地址循环加 1，确保所有存储单元归 0
                HighWordOnBus <= 0;    //低 16 位数据有效。
            end
        end case
    end
end

```

```

3'd1: begin                                     //开始符合计数过程。
RunEn  <= 1;   //使能信号为 1,符合计数控制模块开始工作。
MemWrEn <= 0;   //地址线仍为 0。
end
3'd2: begin                                     //暂停工作。
RunEn  <= 0; //符合计数控制模块停止工作。
MemWrEn <= 0; //RAM 不工作。
      end
3'd3: begin //读取下一个计数。
      RunEn  <= 0; //符合计数控制模块停止工作,避免外界影响
      MemWrEn <= 0; //RAM 不工作。
      if (!LastCs) begin                       //Rcs 上升沿开始工作
        LastCs <= 1;
        if (HighWordOnBus) begin              //如果高 16 位有效
          HighWordOnBus <= 0;                 //改为低 16 位有效 (初始状态)
          MemAdd <= MemAdd + 11'd1; //地址线加 1,开始读取下一个存储单元
        end
      else HighWordOnBus <= 1;                 //其余情况下继续高 16 位有效。
      end
    end
3'd4: begin //读取测试用数据.
RunEn <= 0;
  TestDataState <= TestDataState + 2'd1;
  case (TestDataState)
2'd0: MemWrEn <= 1;   //RAM 开始工作。
2'd1: MemWrEn <= 0;   //RAM 停止工作。
2'd2: MemAdd  <= MemAdd + 11'd1; //地址线加 1,读取下一个计数
2'd3:
case (MemAdd)
11'd0: MemWr <= 32'h00000000; //第一个存储单元为 0.
11'd1: MemWr <= 32'h000000FF; //第二个存储单元为 255.

```

```

11'd2: MemWr <= 32'h00000100; //第三个存储单元为 256
default: MemWr <= MemAdd + 32'd10; //其它数据为地址线加 10.
endcase
        endcase
    end
3'd5: begin //设立恢复点, 用于重新读取数据
    MemAdd <= 11'd0; //地址线归 0.
    MemWrEn <= 0; //RAM 停止工作.
    HighWordOnBus <= 0; //低 16 位数据有效.
        end
        3'd6: ;
        3'd7: ;
    endcase
end
else begin //选片信号归 0, 停止工作.
    LastCs <= 0;
    MemWrEn <= 0;
end
end
endmodule

```

从程序中可以看出, 用户通过设置数据传输模块的 Rcs 端的状态, 就可以完成对符合计数过程的控制。Rcs 端共有三位, 有八种状态, 00 状态对应为对 FPGA 内部进行初始化设置, 01 状态对应为符合计数过程开始工作, 02 状态对应为计数过程暂停, 等待读取数据; 03 状态对应为读取下一个存储单元中的数据; 04 状态对应为读取固定的测试用状态; 05 状态对应为重新设置数据读取点; 06 状态对应为读取 FPGA 内程序版本信息; 07 状态暂时空置, 为进一步的使用保留。因此在一次完整的符合计数过程中, 用户需要对 FPGA 中的 Rcs 端进行设置, 使其处于不同工作状态, 直至最终读出全部 2048 种符合情况的计数结果。由于 Rcs 端与 RCM4200 直接相连, 因此对 Rcs 端的设置是用户通过以太网接口控制 RCM4200 来实现的, 控制过程将在下一节中解释。

3.4 11 通道符合计数器中的以太网—串口信号转化模块

11 通道符合计数器中的以太网—串口转化模块采用了 Rabbit 公司的 RCM4200。RCM4200 采用+3.3V 工作电压，工作频率为 58.98MHz，它拥有 50 个引脚的接头 J2，其中包括 33 个通用输入输出接口，6 个串口，A/D 转换接口等。RCM4200 的以太网接口为标准的 RJ45 接口，速度为 10Mbps。编译程序为 Rabbit 公司的 Dynamic C，将编译好的程序烧写入 RCM4200 需要使用 Rabbit 公司生产的编程线缆，可以选择使用与 PC 机串口相连的串口编程线缆或是 USB 转串口编程线缆。RCM4200 广泛用于工业自动化控制领域，主要用于实现串口信号与以太网信号之间的转化，在 11 通道符合计数器中，主要使用 RCM4200 的通用输入输出接口，将通用输入输出接口与 FPGA 的 Rcmd 端口和 16 位数据线相连，实现用户对符合计数器的控制和符合计数结果的传输。RCM4200 的实物如图 3.5 所示。



图 3.5 RCM4200 实物图

RCM4200 的通用 I/O 口共分为 5 组，分别标记为 PA 到 PE，每组共有 8 位。其中 PA 和 PB 两组设置为数据线，用于接收来自于 FPGA 的符合计数结果。PE0, PE1, PE3 设置为 Rcmd，用于控制 FPGA 的工作状态。PC3 设置为串口，用于向液晶屏提供信息，显示符合计数器工作状态，方便用户操作符合计数器。RCM4200 与主机之间的信息交换通过以太网接口完成，在 11 通道符合计数器中的 RCM4200 采用 UDP 协议与主机联接。通过 RCM4200，11 通道符合计数器实现了与主机之间的信息交换。同时用户可以通过 RCM4200 将符合计数器接入局域网，实现对符合计数器的远程控制，从而可以建立起更为复杂的实验系统。

在 RCM4200 实际工作当中，每次开机时首先需要初始化设置，也就配置 I/O 口的输入输出属性。也就是对 PA[7..0], PB[7..0], PC3 和 PE[1,3,4]完成配置。其中对 PA

口的配置通过对 SPCR 寄存器完成，对 PB、PC 和 PE 三组并行口的配置通过对方向寄存器的配置来完成。代码如下：

```
WrPortI (SPCR, NULL, 0x80); //PA[7..0]为输入口，读取符合计数结果
WrPortI (PBDDR, NULL, 0x00); //PB[7..0]为输入口，读取符合计数结果
WrPortI (PCDDR, &PCDDRShadow, PCDDRShadow | 0x3B); //PC[5..0]为输出
WrPortI (PCFR, &PCFRShadow, PCFRShadow & 0x40); //PC[5..0]为并行输出
BitWrPortI (PCFR, &PCFRShadow, 1, 3); //PC3 为串行输出口
BitWrPortI (PCALR, &PCALRShadow, 0, 6); //PC3 为串行输出口
BitWrPortI (PCALR, &PCALRShadow, 0, 7); //PC3 为串行输出口
WrPortI (PEDDR, &PEDDRShadow, PEDDRShadow | 0x1B); //PE[0,13,4]为输出
```

除了配置输入输出端口外，RCM4200 还需要对可编程延迟线 DS1023 的延迟时间进行设置，在 11 通道符合计数器中，这一过程通过一个专门的函数 SetDelaylines() 来实现。它可以接收到的 11 组延迟数据沿次传送至 DS1023，最终完成对延迟时间的设置。具体过程如下：

```
BitWrPortI(PCDR, &PCDRShadow, 0, 0); //延迟时钟保持低电平
BitWrPortI(PCDR, &PCDRShadow, 0, 1); //LE 低电平，确保处于初始状态
BitWrPortI(PCDR, &PCDRShadow, 1, 1); //LE 高电平，开始设置延迟时间
for (DelNum = 10; DelNum >= 0; DelNum--) { //延迟时间设置
    Bit = 0x80; //设置信号，8 位从高位到低位
    for (BitPtr = 0; BitPtr++ < 8; Bit /= 2) { //逐位检测
        if (Delays[DelNum] & Bit) BitWrPortI(PCDR, &PCDRShadow, 1, 5); //输出数据
        else BitWrPortI(PCDR, &PCDRShadow, 0, 5); //输出数据
        BitWrPortI(PCDR, &PCDRShadow, 1, 0); //时钟为 1
        BitWrPortI(PCDR, &PCDRShadow, 0, 0); //时钟为低
    }
}
```

```
BitWrPortI(PCDR, &PCDRShadow, 0, 1); //LE 为 0，完成配置，锁定延迟时间
```

在完成对 DS1023 的延迟时间设置后，RCM4200 的硬件设置便全部完成。在之后的工作中，RCM4200 会始终等待用户通过以太网接口发送的指令，并根据用户指令，在输出端输出不同状态，控制 FPGA 完成不同的符合计数过程。这些命令均在 RabbitCommand.C 文件中，由主程序调用实现。具体来讲，用户向 RCM4200 发送不

同的字符串，字符串首个字符就是 RCM4200 应当执行的命令，其它字符决定了该命令执行的细节情况。在 RCM4200 中，一共有 H,D,R,P,C,F,T,X 等 8 个不同的字符串用于执行不同的命令，其中 H 用于测试 RCM4200 和主机之间的连接，D 用于设置延迟时间，R 用于命令 RCM4200 开始符合计数过程，P 用于暂停符合计数过程，C 用于读取符合计数结果，F 用于读取测试用符合计数结果，T 用于得到实验时间，X 用于初始化设置。其中，H 命令只需要发送“H”字符即可，当 RCM4200 接收到该字符时，也会向主机返回一个“H”字符，可以用于测试 RCM4200 与主机之间连接是否正常；D 命令中，在字符“D”之后还需要发送 11 个 8 位的二进制数，它们按顺序是相应 DS1023 的延迟时间；R 命令也只需要发送字符“R”；P 命令只需要发送字符“P”；C 命令中除了字符“C”外，还需要在 C 后发送一个 8 位的二进制数，但这个二进制数应当在 0 与 8 之间，因为这个二进制数决定了 RCM4200 向主机发送的数据包的数量，2048 个 32 位的二进制数一共分为 8 个数据包，每个数据包中有 256 个二进制数，第一个数据包中有从第 1 到第 256 种符合计数情况，第二个数据包中则包含了从第 257 到第 512 种符合计数情况，直到第八个数据包包括了全部的符合计数情况，在实际使用中，如果不需要读出全部符合计数结果，适当减少读取的数据包将有助于提高 11 通道符合计数器的工作效率；F、T、X 命令都只需要用户向 RCM4200 发送相应的字符即可，X 命令较为重要，在 11 通道符合计数器每次开始工作前，都需要执行初始化命令，确保不会对符合计数器之后的工作产生影响。

由于符合计数结果在 FPGA 中以 32 位存储在 RAM 中，而 RCM4200 用于读取符合计数结果的数据线仅有 16 条，因此在读取符合计数结果时 RCM4200 必须进行相应操作。

```

Ctr[CtrNum] = RdPortI(PADR); //读取最低的 8 位[7:0]（低 16 位）
Ctr[CtrNum] += ((RdPortI(PBDR) & 0xFE)* 0x80); //读取高 8 位的[6:0]（低 16 位）
Ctr[CtrNum] += (BitRdPortI(PBDR, 0) * 0x8000); //读取高 8 位的[7].（低 16 位）
BitWrPortI(PEDR, &PEDRShadow, 1, 4); //CS 为 1，
BitWrPortI(PEDR, &PEDRShadow, 0, 4); //CS 为 0，读取高 16 位
Ctr[CtrNum] += (RdPortI(PADR) * 0x10000); //读取低 8 位的[7:0].（高 16 位）
Ctr[CtrNum] += ((RdPortI(PBDR) & 0xFE)* 0x800000); //读取高 8 位的[6:0]（高 16 位）
Ctr[CtrNum] += ((BitRdPortI(PBDR, 0)) * 0x80000000); //读取高 8 位的 [7].（高 16 位）
Ctr[0] += Ctr[CtrNum]; //添加至符合计数总数
TotalCoincidences = Ctr[0]; //将符合计数总数保存在 Ctr[0]中
    
```


上面所示代码就是用 16 位数据线读取 32 位数据的完整过程，读取每一个符合计数结果都需要 RCM4200 与 FPGA 相互配合，首先读取低 16 位数据，再读取高 16 位数据，最终在 RCM4200 中再将读取到的数据恢复为原为的 32 位二进制数。这一过程会需要占用一定的处理时间，因此编写 11 通道符合计数器的处理程序时，对于符合计数结果的读取需要保持足够的时间间隔，避免因读取数据给符合计数过程带来太大的影响。关于 11 通道符合计数器的处理程序的内容在下一节中。

3.5 11 通道符合计数器的处理程序及其测试

11 通道符合计数器的处理实际上是一个简单的网络应用处理程序，可以通过 VB, VC++或 Labview 编写。在 VB 或 VC++中，网络编程更多利用 WINSOCK 控件来完成，这样实现网络编程的效率更高，更适用于简单的应用程序。为了简便起见，我们实验室的 11 通道符合计数器使用 VB 编写。具体工作过程为，首先向 11 通道符合计数器发送字符“X”，确保符合计数器处于初始状态，RAM 中各存储单元归 0；然后向符合计数器发送字符“D”，在 D 之后继续发送 11 个八位的二进制数，用于设置 DS1023 的延迟时间；在完成了准备工作之后，向符合计数器发送字符“R”，此时符合计数器开始工作，测量 11 通道信号的符合情况；在需要读取符合计数结果时，向符合计数器发送字符“C”；在完成接收后，如果需要继续进行符合计数，则不需要发送任何字符，如果符合计数过程需要停止，则发送字符“P”，暂停符合计数，随后发送字符“C”，读取最终计数结果即可。需要注意的是，在读取符合计数结果的过程中，FPGA 内的符合计数过程实际是暂停的，在读取了全部符合计数结果之后，FPGA 才会恢复工作，这段时间之内的符合计数结果实际上丢失了，所以在编写处理程序时，读取符合计数结果的频率最好不要过高，避免因读取计数结果带来不必要的死区时间（dead time）。

符合分辨时间在 11 通道符合计数器中实际就是符合时间窗口，它是符合计数器的重要性能参数，更小的符合时间窗口有助于消除背景光作为噪声对符合测量的影响，然而符合时间窗口过小可能会导致符合事件无法被识别。在实际使用中，需要根据被测信号的大致频率对符合计数器的符合时间窗口进行校准。因此在实验中测试了不同符合时间窗口对符合计数结果的影响。处理程序的界面如图 3.6 所示。图 3.6 中，命令按钮包括运行，暂停，计数结果，时间延迟，初始化等，分别对应于字符“R”，“P”，“C”，“D”和“X”。这些命令都是分开设置的，在使用时并不方便，更多时候为了测试主机与符合计数器之间的连接而使用。

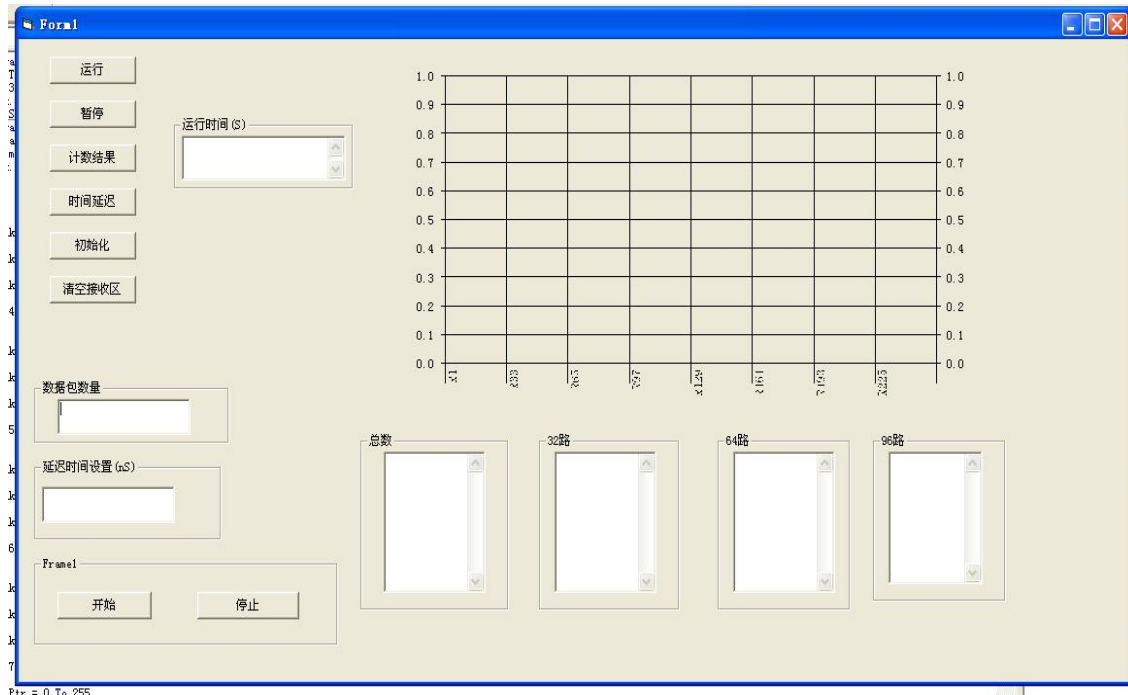


图 3.6 11 通道符合计数器处理程序界面

为了更方便地获取符合计数结果，在下方设置了开始和停止两个命令按钮。其中“开始”将会首先发送字符“X”用于初始化符合计数器，随后发送“R”开始符合计数过程，同时开始计算实验运行时间，在“运行时间”栏中显示。“停止”命令则会首先发送字符“P”，随后发送字符“C”和数据包数量用于读取符合计数结果。右侧的图表横坐标为不同符合情况所对应的位置，纵坐标为相应的符合计数结果。下方的文框用于显示第 32, 64 个存储单元，也就是第 6 和第 7 通道的信号的计数结果，以及它们的符合所对应的存储单元，第 96 个存储单元的计数结果，总数文本框对应的是全部计数，包括全部单独计数与符合计数的总和。图中左下方的延迟时间设置 (nS) 用于与“时间延迟”命令配合，设置 DS1023 的延迟时间。当向 11 通道符合计数器发送字符“D”时，同时需要发送 11 个 8 位的二进制数，它们是相应 DS1023 的延迟时间。在发送这些二进制数时，不应当使用字符串来发送，因为字符串会将这些二进制转化为 ASCII 码，而 ASCII 码最多只能到 128，无法设置比 128 nS 更高的延迟时间，因此发送这些字节数组必须采用字节数组。与此相同的是，处理程序对于从符合计数器接收到的符合计数结果，也必须使用字节数组来处理，而不是字符串，避免字符串在转化 ASCII 码时因为 ASCII 码的范围有限而导致符合计数结果出现错误。

为了测试符合时间窗口对符合计数结果的影响，我们选用第 6 通道和第 7 通道作为测试通道，从同一个信号源输出的 10 KHz 的方波信号，沿不同长度的两条线缆

分别进入第 6 通道和第 7 通道，观察符合时间窗口不同的情况下的符合计数结果，测试结果如图 3.7 所示。

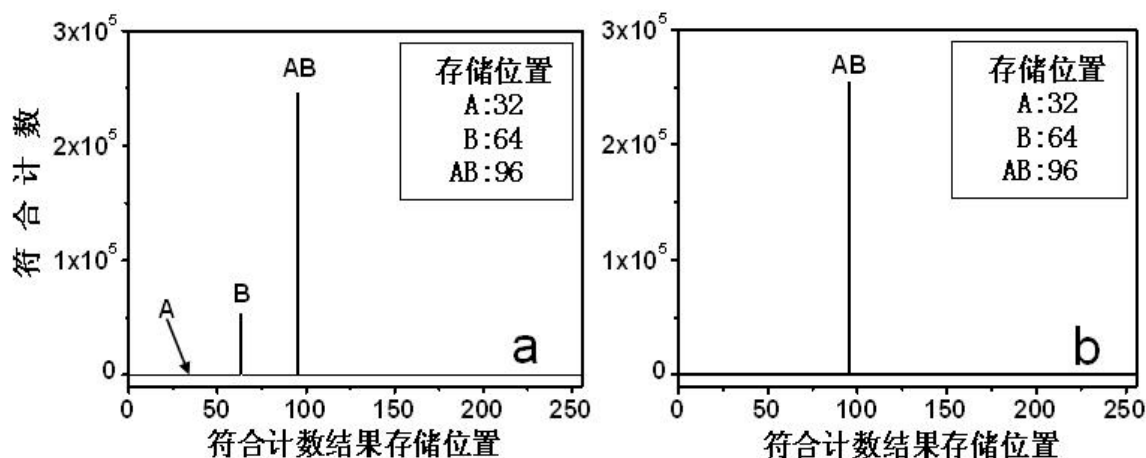


图 3.7 不同符合分辨时间下的 10KHz 信号的符合计数结果。

图 a 和 b 分别对应于符合分辨时间为 5nS 和 10nS 的情况。第 6 通道的单独计数结果存储在第 32 个存储单元，就是图中 A 所示位置，第 7 通道的单独计数结果存储在第 64 个存储单元，如图中 B 位置，两通道的符合计数结果存储在第 96 个存储位置，如图中的 AB 位置。当符合时间窗口为 5nS 时，可以看出，除了符合计数外，还有一部份计数单独存在于第 7 通道，而第 6 通道则没有任何计数，这是因为第 7 通道的信号快于第 6 通道，当第 7 通道的信号到达符合计数器时，第 6 通道的信号仍未到达所造成的。这时两个相关联的信号尽管同时发生，却不能被符合计数器所识别，必须适当延长符合时间窗口如图 b 所示，符合时间窗口被延长至 10nS，这时只有两通道的符合计数存在，它们的单独计数没有出现，这证明 10nS 的符合时间窗口可以识别这种情况下的符合计数。图 3.7 证明在使用 11 通道符合计数器之前需要根据被测信号的大致频率，对符合时间窗口进行校准，保证最佳的测量效果。

为了进一步测试 11 通道符合计数器的性能，我们用两台单光子探测器，测量它们在不同背景光时的输出信号的符合情况。实验结果如图 3.8 所示，a 图为两台单光子计数器在没有任何光信号时的计数，也就是它们的暗计数；b,c,d 分别对应背景光强逐渐增大时的符合计数情况。我们仍然使用第 6 通道和第 7 通道用于测量，图中 A 对应着第 32 个存储位置，也就第 6 通道的单独计数；B 对应于第 64 个存储位置，即第 7 通道的单独计数；它们的符合计数位于第 96 个存储位置，即 AB 位置。为了保证有足够长的符合时间窗口，我们将符合时间窗口设置为 200nS，整个符合过程持续 30S。图中给出了 30S 后的符合计数结果。

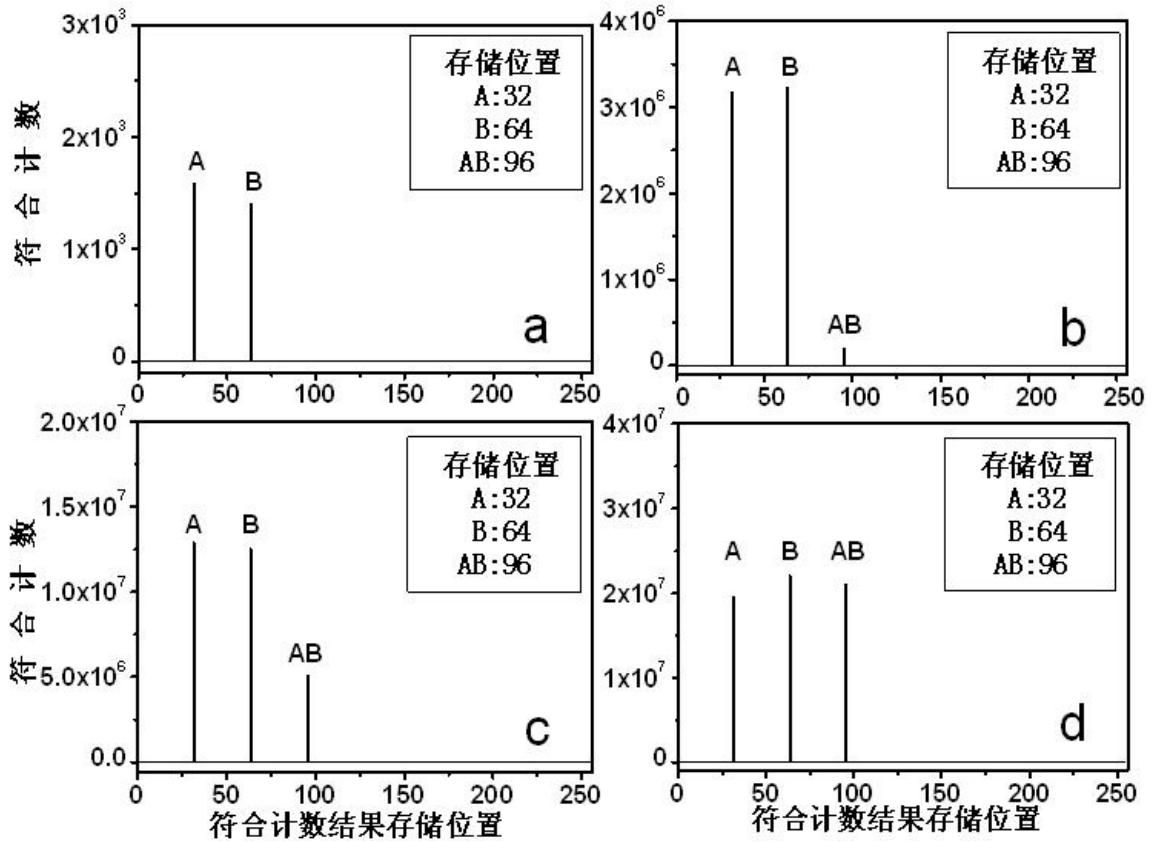


图 3.8 两台单光子计数器输出信号在不同强度背景光下的符合情况

由于光信号是普通的背景光，在这种情况下两台单光子计数器的输出信号是平稳分布，因此它们能否发生符合只取决于时间间隔是否小于 200nS 的符合时间窗口。这就意味当光强增大时，两台单光子计数器会有更多的输出信号间隔小于 200nS，它们的符合计数会显著增加。而在暗计数情况下，两台单光子计数的输出均为约 50Hz，它们之间的时间间隔明显大于 200nS，此时它们之间并不存在符合，只有各自的单独计数存在，如图 a 所示；当背景光很弱时，不同通道的信号间开始有一部份的时间间隔开始小于 200nS，因此出现了一部分符合计数，但是与它们的单独计数相比，仍然很少，如图 b 所示；而随着背景光进一步增强，与两通道的单独计数相比，符合计数开始明显增多，最后，符合计数与单独计数在数量上并没有明显区别，如图 c 和图 d 所示。实验结果表明 11 通道符合计数器性能良好，可以准确地测量不同情况下的符合计数。

总结与展望

在量子光学实验中，多通道符合计数器广泛应用于单光子探测和纠缠光子判定。本文阐述了一种与传统的多通道符合计数器不同的，基于 FPGA 的多通道符合计数器的原理及其测试。与传统基于时幅转换仪（TAC）的多通道符合计数器相比，基于 FPGA 的多通道符合计数器结构紧凑，使用灵活，成本更低，拥有更多的测量通道，特别它使用了现场可编程门阵列 FPGA 用于完成符合计数过程，使得用户可以实时修改自己的设计，更灵活地满足不同实验要求，十分适合于量子光学实验。本文的主要内容包括两点：

第一：详细说明了基于 FPGA 的多通道符合计数器的组成部分及其工作原理。包括利用可编程延迟线与 FPGA 对符合时间窗口进行设置，以及以太网串口转化模块与 FPGA 之间的信息交换，符合计数器中 FPGA 内部的结构等。

第二：以加拿大多伦多大学的 Alan Stummer 设计的 11 通道符合计数器为例，说明实际中基于 FPGA 的多通道符合计数器工作过程及其各部分的工作原理。包括可编程延迟线 DS1023, FPGA 以及以太网串口转化模块 RCM4200。最后说明如何编写 11 通道符合计数器的处理程序，利用处理程序对符合时间窗口进行校准，以及用两台单光子计数器对 11 通符合计数器的工作性能进行测试。测试表明了我们实验室根据 Alan Stummer 的设计所制作的符合计数器性能良好，可以准确测量符合事件。

基于 FPGA 的多通道符合计数器对于符合事件的测量是通过判断不同信号脉冲的时间间隔是否小于符合时间窗口来实现的，并不能记录这些信号脉冲间的时间间隔的具体数值，因此也就不能用于测量关联函数。下一步，我们将利用时幅转换仪（TAC），制作基于 FPGA 的用于测量关联函数的探测器。

参 考 文 献

- [1] J. J. Thorn, M. S. Neal, V. W. Donato, et al. Observing the quantum behavior of light in an undergraduate laboratory [J]. *Am. J. Phys*, 2004, 72, 1210–1219.
- [2] J. A. Carlson, M. D. Olmstead, M. Beck. Quantum mysteries tested: An experiment implementing Hardy’s test of local realism [J]. *Am. J. Phys*, 2006, 74, 180–186.
- [3] D. Branning, S. Bhandari, M. Beck. Low-cost coincidence-counting electronics for undergraduate quantum optics [J]. *Am. J. Phys*, 2009, 77, 667–670.
- [4] F. Baronti, A. Lazzeri, R. Roncella, et al. FPGA/DSP-based implementation of a high-performance multi-channel counter [J]. *J. Syst. Arc.*, 2009, 55, 310–316.
- [5] M. Beck. Comparing measurements of $g^{(2)}(0)$ performed with different coincidence detection techniques [J]. *J. Opt. Soc. Am, B* 2007, 24, 2972–2978.
- [6] F. Zappa, A. Gulinatti, P. Maccagnani, et al. SPADA: single-photon avalanche diode arrays [J]. *Photo Tech Lett, IEEE*. 2005, 17 (3), 657–659.
- [7] C. Niclass, M. Sergio, E. Charbon. A CMOS 64x48 single photon avalanche diode array with event-driven readout [M]. *Proc. ESSCIRC*. 2006, 556–559
- [8] C. Niclass, M. Gersbach, R. Henderson, et al. A single-photon avalanche diode implemented in 130 nm CMOS technology [J]. *J. Sel. Top Quantum Electron*. 2007, 13 (4), 863–869.
- [9] J. Stockton, M. Armen, and H. Mabuchi. Programmable logic devices in experimental quantum optics [J]. *J. Opt. Soc. Am. B*. 2002, 19, 3019–3027.
- [10] T. Paterek, A. Fedrizzi, S. Groblacher, et al. Experimental Test of Nonlocal Realistic Theories without the Rotational Symmetry Assumption [J]. *Phys. Rev. Lett.* 2007, 99, 210406.
- [11] H. Mabuchi and A. C. Doherty. Cavity Quantum Electrodynamics: Coherence in Context [J]. *Science*, 2002, Vol. 298, no. 5597, 1372–1377.
- [12] A. Predojević, Z. Zhai, J. M. Caballero et al. Rubidium resonant squeezed light from a diode-pumped optical-parametric oscillator [J]. *Phys. Rev. A*, 2008, 78, 063820.
- [13] S. Felekyan, R. Kühnemuth, V. Kudryavtsev, et al. Full correlation from picoseconds to seconds by time-resolved and time-correlated single photon detection

- [J]. Rev. Sci. Instrum. 2005, 76, 083104.
- [14] A. Stummer <http://www.physics.utoronto.ca/~astummer/pub/mirror/Projects/Archives/2008 Coincidence Counter/Coincidence Counter.html>
- [15] 胡元峰, 虞孝麒, 彭承志, 杨冬, 自由空间量子隐形传态实验中远程光符合的电子学系统研制, 中国科学技术大学学报, 2007, 37, 11
- [16] K.wiat.P.G, Mattle.K, Weinfurter.H, etc. New high intensity source of polarization entangled photon pairs [J]. Phys Rev Lett, 1995, 75(24):4337-4341
- [17] Jennewein T, Simon C, Weihs G, etc. Quantum cryptography with entangled photons [J]. Phys Rev Lett, 2000, 84(20):4729-4732
- [18] Cyclone III, Altera Inc, datasheet available at <http://www.altera.com.cn/products/Devices/cyclone3/cy3-index.jpx>
- [19] RCM4200, Rabbit Semiconductor Inc, datasheet available at <http://www.rabbitsemiconductor.com.cn/products/CoreModules>
- [20] DS1023, Maxim Inc. Datasheet available at <http://www.maxim-ic.com/datasheet/index.mvp/id/2608>
- [21] D.Audino, F.Baronti, A.Lazzeri, R.Roncella, etc. FPGA/DSP-based configurable multi-channel counter. [C] Proceedings of the 10th Euromicro Conference on Digital System Design Architectures, Methods and Tools (DSD 2007), 2007.
- [22] D.Audino, F.Baronti, R.Roncella, R.Saletti, etc. 60-channel 10 uS time-resolution counter array for long term continuous event counting, [J] IEEE Trans.Nucl.Sci.54 (3) (2007), 549-554
- [23] M.Ghioni, A.Gulinatti, I.Rech, F.Zappa, etc. Progress in Silicon single-photon avalanche diodes[C], IEEE Journal of Selected Topics in Quantum Electronics 13(4), 2007, 852-862
- [24] D.Stranndby, Digital Signal Processing's and Applications[C], Newnes, Oxford, UK, 2001
- [25] H.Rabitz, R.de Vivie-Riedle, M.Motzkus, and Kompa, Whither the future of controlling quantum phenomena?[J] Science 288,824-828, 2000
- [26] C.A.Sackett, D.Kielpinski, B.E.King, C.Langer, etc. Experimental entanglement of four particles[J] Nature 404,256-259, 2000
- [27] M.R.Andrews, M.O.Mewes, N.J.van Druten, etc. Direct, nondestructive

- observation of a Bose condensate.[J] Science 273, 84-87, 1996
- [28] C.J.Hood, T.W.Lynn, A.C.Doherty, etc. The atom-cavity microscope: single atoms bound in orbit by single photons[J]. Science 287, 1447-1453, 2000
- [29] A.C.Doherty, S.Habit, K.Jacobs etc. Quantum feedback control and classical control theory[J], Phys.Rev.A62, 012105, 2000
- [30] B.Rahn, A.C.Doherty, H.Mabuchi etc. Exact performance of concatenated quantum codes[J]. Phys.Rev.Lett.88, 187904, 2002
- [31]M.A.Armen, J.K.Au, J.K.Stockton etc. Adaptive homodyne measurement of optical phase[J]. Phys.Rev.Lett.89, 133602, 2002

硕士研究生期间完成论文

霍强，张靖 “用于符合测量的多通道符合计数器”，量子光学学报（已接收）

致谢

时光荏苒，三年的学习生涯不知不觉当中即将结束。从 2008 年进入山西大学光电研究所，到 2011 年毕业离开，在这三年时间里，光电所严谨务实的作风令我受益颇多。在光电所的三年，无论是学业还是思考能力都得到了极大提高，在光电所得到的经验与教诲将会铭记在心。

首先感谢彭堃墀院士和谢常德教授，他们严谨的工作态度和渊博的知识令人敬佩，是我终生学习的榜样。

特别感谢我的导师张靖教授，感谢他在我硕士学习期间给予的指导和支持。张老师对科研的执著追求和在日常工作中的忘我奉献，都令我印象深刻。张老师对学生的严格要求，是我可以在硕士学习期间提高学习能力和动手能力的原因，将会让我受益终生。

感谢叶晨光、陈海霞、熊德智、王鹏军、于旭东、高峰、邸克、付正坤、柴世杰、程峰钰、张岩、黄梁辉、孟增明、李卫和王芳等同学在日常学习和生活中给我的帮助。感谢电子车间的老师 and 师傅们在我完成符合计数器过程中给予的指导和协助。

最后，我要感谢我的父母和亲人对我的关心，没有我的父母和亲人，我不会顺利完成从本科到硕士阶段的学业。父母和亲人是我心灵的港湾，他们对我的支持和关心是我奋斗的动力。

个人简况及联系方式

姓名：霍 强

性别：男

籍贯：山西省临县

出生年月：1985. 11. 18

学习或工作去向：

电子邮箱：huoq7@yahoo. cn

简历

2004. 9—2008. 6 中北大学信息与通信工程学院 光信息科学与技术专业 本科

2008. 9—2011. 6 山西大学光电研究所 光学工程专业 硕士研究生

承 诺 书

本人郑重声明：所呈交的学位论文，是在导师指导下独立完成的，学位论文的知识产权属于山西大学。如果今后以其他单位名义发表与在读期间学位论文相关的内容，将承担法律责任。除文中已经注明引用的文献资料外，本学位论文不包括任何其他个人或集体已经发表或撰写过的成果。

作者签名：

2011年 月 日

学位论文使用授权声明

本人完全了解山西大学有关保留、使用学位论文的规定，即：学校有权保留并向国家有关机关或机构送交论文的复印件和电子文档，允许论文被查阅和借阅，可以采用影印、缩印或扫描等手段保存、汇编学位论文。同意山西大学可以用不同方式在不同媒体上发表、传播论文的全部或部分内容。

保密的学位论文在解密后遵守此协议。

作者签名：

导师签名：

20 年 月 日