

文章编号: 1007-6654(2011)02-0135-06

用于符合测量的多通道符合计数器

霍强, 张靖[†]

(山西大学光电研究所, 量子光学与光量子器件国家重点实验室, 山西太原 030006)

摘要: 符合测量在量子光学实验中有着重要的应用, 它可以用于测量纠缠光子对和单光子干涉等实验。在使用过程中, 经常用到三通道或更多通道的符合测量, 这种情况下简单的门电路无法满足使用要求, 而现场可编程门阵列(FPGA)为实现低成本、小体积的多通道符合计数系统提供了解决方案。同时, 基于FPGA的多通道符合计数系统还可以提供 ns 精度的符合分辨时间, 避免本底光噪声对探测器的影响, 从而有效抑制偶然符合, 进一步提高了多通道符合计数系统的性能。本文介绍了基于FPGA的多通道符合计数器, 并实验测量了单光子探测器信号的符合计数。

关键词: 符合测量; FPGA; 符合分辨时间

中图分类号: O431 **文献标识码:** A

0 引言

符合测量用于测量同时发生或短时间内发生的关联事件。符合测量最早由物理学家博思(Walth Bothe)用于判断在光子和电子的碰撞中, 能量和动量守恒定律是否在每一次碰撞中均有效。在量子光学中, 符合测量用于对纠缠光子对的判定^[1,2]和单光子干涉等实验。用于探测符合事件的电子系统称为符合计数系统。简单的符合计数系统可以用简单的门电路或乘法器来实现^[3]。但是当符合计数系统用于三通道或更多通道的符合测量时, 使用简单的门电路或乘法器会带来一些无法克服的问题, 如电路会更复杂, 成本也会随之上升, 更重要的是由于门电路的增多, 随之而来的信号在门电路内时间延迟是无法控制的, 有可能影响到符合测量最终的结果^[4]。因此, 在三通道或更多通道的符合测量中, 简单的门电路或乘法器无法满足要求^[5]。得益于数字电子技术的飞速发展^[6-8], 采用大规模集成电路的

多通道符合计数系统已经出现。但是由于这些系统通常基于专用集成电路(ASIC), 因此它们的价格非常昂贵, 更适用于数据量很大的符合测量。使用现场可编程门阵列(FPGA)成为更实际的选择。FPGA具有体积小, 成本低的优点, 可以方便快速实现高性能的多通道符合计数系统, 广泛应用于量子光学实验中^[9-12]。本文首先介绍了基于FPGA的多通道符合计数器的原理, 并以多伦多大学 Alan Stummer 的设计的 11 通道符合计数器为例介绍了如何校准符合分辨时间, 最后在实验中测量了两台单光子探测器在自然光条件下的符合计数。

符合计数系统根据功能的不同有多种的实现方案。通常符合计数系统是利用时间-幅度转换器(Time-Amplitude Converter)将两个信号被探测到的时间间隔转换为电压, 最后通过时间间隔大小来判定两事件是否属于符合事件。由于这种符合计数器不仅可以记录符合事件发生的次数,

*收稿日期: 2011-03-18

基金项目: 国家杰出青年基金(批准号: 10725416); 国家重点基础研究发展计划(973)项目(批准号: 2011CB921601); 国家自然科学基金创新群体基金(批准号: 60821004)

作者简介: 霍强(1985—), 男, 山西临县人, 硕士研究生, 研究领域: 量子光学。E-mail: huq7@yahoo.cn

[†]通讯作者: E-mail: jzhang74@yahoo.com; jzhang74@sxu.edu.cn

同时还测量了发生符合的两信号脉冲的时间间隔。时间关联特性的测量要求符合计数系统必须记录两信号之间的时间差。因此这种常用的符合计数器更多用于时间相关单光子计数等测量时间关联特性的实验中。如 Becker & Hickl 公司的 SPC 系列计数器^[13], SPC 系列符合计数器主要由恒比定时器 (Constant Fraction Discriminator), 时间—幅度转换器, 模数转化电路 (ADC), 以及存储器组成, 在测量时, 两路信号脉冲首先会进入恒比定时器, 恒比定时器作用在于只有持续一定时间的信号脉冲才能算作有效信号, 从而有效避免探测器噪声对符合计数过程的影响; 经过恒比定时器的两路信号脉冲先后进入时间—幅度转换器, 并由时间—幅度转换器将两路信号的时间间隔转换为电压信号; ADC 则负责将电压值从模拟值转化为数字信号。SPC 系列主要有两种工作模式, 光子分布工作模式 (photon distribution mode) 与时间标签工作模式 (time tag mode)。在光子分布工作模式下, ADC 的数字信号将作为存储器的地址信号, 使得 SPC 的存储器中相应存储单元的数值加 1 后再返回存储器。SPC 符合探测器每次测量, 都会得到两路信号的时间间隔, 并使存储器相应存储单元中的数值加 1, 最终得到两路信号时间间隔的分布。而在时间标签工作模式下 SPC 计数器不需要直接处理得到的 ADC 信号, 它只负责将 ADC 中的数字信号存储在 FIFO 存储器中, 并传送到用户主机中, 对数据的处理由用户主机完成。时间标签工作模式可以得到更多的关于被测信号的信息, 不仅包括各通道信号间的时间间隔 (micro time), 还包括各通道信号与实验起始时间的的时间间隔 (macro time), 以及信号的来源是哪个测量通道。与光子分布模式相比, 时间标签模式不受 SPC 计数器内的存储器容量限制, 用户主机也拥有对数据进行更复杂处理的能力, 它只受计数器与用户主机之间数据传输速率的限制。因此, 时间标签模式可以完成数据量较大, 数据处理较复杂的测量过程, 以及多通道的测量过程, 如在荧光寿命成像实验中, 数据量有时可能会达到 100MB。基于时间—幅度转换器的传统符合计数器测量精度达到了 pS 量级, 但是由于这类符合计数系统对 TAC、ADC 等电路的

性能要求较高, 导致这类符合计数系统通常价格昂贵; 用于测量的通道数量也受到限制; 数据分析与转换的过程导致较长的无信号时间 (dead time)。并且在一些量子信息实验中, 如在判定纠缠光子对时, 只需要测量在一个固定时间窗口内符合事件发生的次数, 并不需要精确记录两个信号之间的时间间隔。基于 FPGA 的多通道符合计数器采用了可编程延迟线来设置符合计数时间窗口, 更适用于这类实验。可编程延迟线可以产生一个相对信号脉冲延迟一定时间的延迟脉冲, 延迟时间可以设置, 延迟脉冲将作为 FPGA 中符合计数过程的开关信号, 从而精确设置符合时间窗口。现有可编程延迟线可以提供从 ns 到 μs 范围的延迟时间, 精度也可以达到 ns 量级。

典型的基于 FPGA 的多通道符合计数系统结构如图 1 所示。其中可编程延迟线用于设置符合分辨时间; 随后信号脉冲进入 FPGA, 并在 FPGA 内部完成符合计数过程, 符合计数结果存放在 FPGA 内的 RAM 内; 以太网—串口转化模块在 FPGA 和用户主机之间起到桥梁作用, 它负责将主机的命令通过自己的 I/O 端口交由 FPGA 执行, 从而实现了对 FPGA 工作进程的控制, 同时它还负责将 FPGA 内的符合计数结果和符合计数系统工作状态转化为以太网信号并传递至用户主机, 从而实现用户对符合计数系统的控制。

FPGA 是符合计数系统的核心元件, 它的性能直接决定了符合计数系统的性能。图 2 为多通道符合计数器中 FPGA 内部结构示意图, 其中的虚线内的部分为符合分辨时间控制模块。假设符合计数器通道数为 N , 每个通道的信号在进入 FPGA 前均会经过可编程延迟线, 产生一个相应的延迟信号, 延迟时间由可编程延迟线来决定。最后进入 FPGA 的是信号脉冲和延迟信号, 总数为 $2N$ 。信号脉冲在进入 FPGA 首先会经过 D 触发器, 第一个 D 触发器的各输出端与相应通道的信号脉冲的电平保持一致。延迟信号会进入 N 路或门, 只要任意一个通道的延迟信号处于高电平, N 路或门的输出便会处于高电平, 这时第二个 D 触发器便会将第一个 D 触发器各输出端电平, 也就是信号脉冲传递至自己的输出端。N 路信号脉冲在经过第二个 D 触发器后会作为随机

存储器(RAM)的地址信号,使得RAM内相应存储单元的数值在加1后再返回RAM,从而完成一次完整的符合计数,如图2所示。

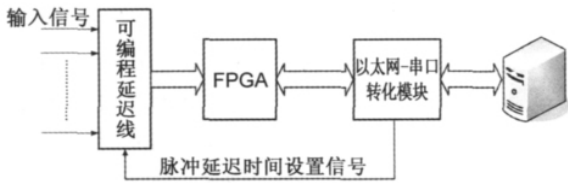


图1 基于FPGA的多通道符合计数系统结构示意图

Fig. 1 Schematic of multi-channel coincidence counter based on FPGA

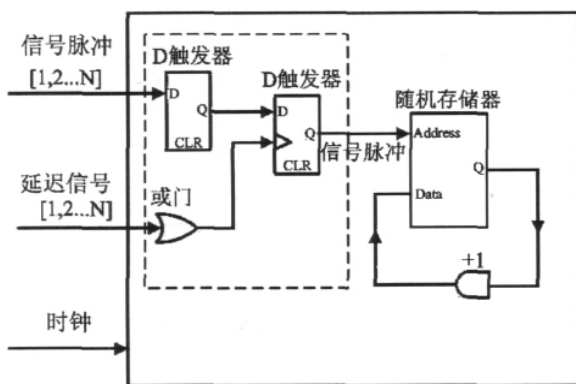


图2 基于FPGA的符合计数过程

Fig. 2 Coincidence process in FPGA

由于第二个D触发器是边沿触发器,受延迟信号的控制,只有延迟信号抵达时才会工作,所以最终能到达RAM地址端的信号脉冲都是在延迟信号脉冲之前到达第一个D触发器,因而只有在符合分辨时间内存在的信号才能算作符合信号。FPGA内有可配置的随机存储器(RAM),当符合计数器通道数为 N 时,RAM的地址线数量也为 N ,存储单元共有 2^N 次方。不同的存储单元反映了不同的符合情况时的符合计数,如第144个存储单元,变为二进制数为10010000,这就是该存储单元对应的地址信号。这个二进制数从低位到高位依次对应着第1通道到第8通道,每一位为1代表该通道为高电平,为0代表该通道为低电平。所有高电平的通道就是发生符合的通道,第144存储单元所对应的便是第5通道和第8通道这两个通道的信号发生符合的情况。某一通道输入的全部计数值等于存储在本通道的单独计数结果加上这一通道和其它所有通道的符合

计数结果。例如当使用第5通道和第8通道进行符合测量时,计数结果包括第5通道的单独计数,第8通道的单独计数,以及第5通道和第8通道的符合计数,分别存储在第16,128和144个存储单元。第5通道信号输入的全部计数是第5通道单独计数和两通道符合计数之和,也就第16和144存储单元中计数之和;第8通道信号输入的全部计数是第128和144个存储单元中计数之和。

符合计数结果最终存放在FPGA内部的与地址信号相对应的RAM内的不同存储单元。存储符合计数结果的数据格式主要有8 bit,16 bit和32 bit等。如果用 L 来代表存储符合计数结果的位数,它与信号脉冲的频率 f_{IN} ,符合分辨时间 T_w 均有关系。 L 与输入信号最大频率 f_{INMAX} ,最大符合分辨时间 T_{wMAX} 关系如下式所示:

$$L \geq [\log_2 (T_{wMAX} \cdot f_{INMAX})] \quad (1)$$

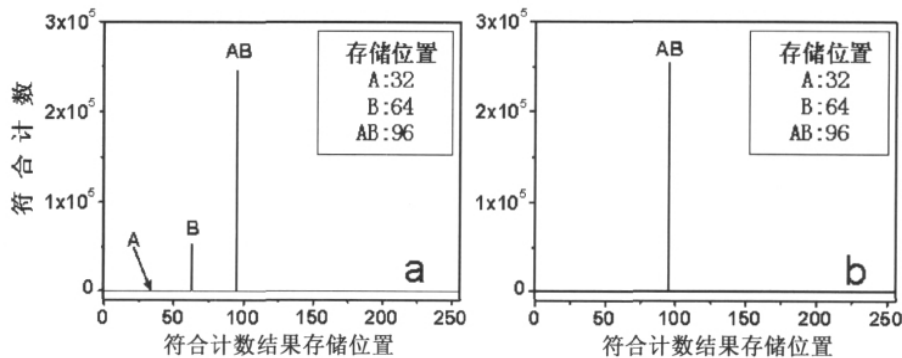
(1)式表明,为了确保RAM中存储的符合计数结果不会溢出,在FPGA中应当将RAM设置有足够的存储量。RAM的存储量影响的另一个重要问题是以以太网-串口转化模块传送数据的能力。在某些情况下,可能要求符合计数结果实时传输,也就是在每次符合发生后,立刻将结果传送到用户主机。但由于符合计数结果的存储格式可能与以太网-串口转化模块对数据处理的格式不一致,需要转换数据格式以便传输,由此带来的额外的时间损耗可能导致无信号时间(dead time)的出现,最终影响到符合计数的结果。因此在选择以太网-串口转化模块时,应当确保以太网-串口转化模块有足够高的数据传输速率,但这样往往会导致整个符合计数系统成本的上升,一般情况下,如果实验并不要求实时传输符合计数结果,可以设置恰当的采样时间,每隔一定时间传输一次符合计数结果,在保证数据准确传输的前提下,尽可能降低符合计数系的成本。

从以上的介绍可以看出,符合分辨时间是符合计数系统的重要性能参数。适当缩短符合分辨时间可以降低偶然符合的影响,在一定程度上消除本底光作为噪声对符合测量的影响,然而过短的符合分辨时间可能导致原本存在符合关系的关联事件无法被符合计数系统甄别,所以在每次测

量前,都需要根据被测量信号的大致频率,对符合计数系统的符合分辨时间进行校准。在确保存在符合关系的关联事件可以被甄别的前提下,尽可能缩短符合分辨时间,提高符合计数系统的测量精度。

现以我们实验制作的 11 通道符合计数器为例,它的结构主要采用了多伦多大学 Alan Stummer 的设计^[14]。符合分辨时间由 Dallas 公司的可编程延迟线 DS1023 来设置,它可以提供的延迟时间从 1 ns 到 255 ns,延迟精度为 1 ns。DS1023 同时提供了串行和并行两种方式设置延迟时间。通过将以太网一串口转化模块的 I/O 端口与 DS1023 对应引脚连接,就可以精确控制 DS1023 产生的延迟时间的数值。同时 DS1023 有专门的引脚用于将接收到的延迟时间设置信号传递到下一片 DS1023,这一点在多通道符合计

数系统中十分实用,可以方便地对多个通道的符合分辨时间进行设置;FPGA 选用了 Altera 公司的 Cyclone III, FPGA 工作频率为 100 MHz;以太网一串口转化模块是 Rabbit 公司的 RCM4200,数据传输速率为 10 Mbps。11 通道符合计数器可以测量并记录 2 的 11 次方,也就是 2048 种符合的情况,它的无信号时间(dead time)约为 80 ns。为了校准符合分辨时间,也就是设置 DS1023 对信号脉冲的延迟时间,我们选定了第 5 和第 6 通道测试符合分辨时间对符合计数结果的影响。输入信号为 10 kHz 的方波信号,从同一个信号源沿不同长度两条信号线分别进入第 6 和第 7 通道,然后通过主机设置符合分辨时间,来观察相等时间内的符合计数结果,符合计数结果如图 3 所示:



a 和 b 分别对应于符合分辨时间为 5 ns 和 10 ns 的情况。

图 3 不同符合分辨时间下的 10 kHz 信号的符合计数结果

Fig a and b correspond to coincidences resolving time at 5 ns and 10 ns.

Fig. 3 Coincidence at different coincidence resolving time with signal frequency at 10 kHz.

图 3 中纵坐标是符合计数结果,横坐标是 2048 种符合情况依次所对应的位置,为了便于显示,图中只给出了前 256 种符合情况。第 6 通道(A)对应于 2 的 5 次方也就第 32 个存储位置,第 7 通道(B)对应于第 64 个存储位置,它们的符合(AB)位于第 96 个存储位置。图 3 a 和 b 分别对应于符合分辨时间为 5 ns 和 10 ns 的情况。当符合分辨时间为 5 ns 时,可以看出除了符合计数外,还有一部分计数存在于第 7 通道,而第 6 通道则没有任何计数,这是由于第 6 通道的信号明显慢于第 7 通道的信号,在第 7 通道的延迟脉冲到达 FPGA 时,第 6 通道的信号仍然没有到达,

因此这部分信号只是第 7 通道的计数。由于符合分辨时间过短,造成一部分符合事件无法被甄别。为了避免这种错误的发生,需要适当延长符合分辨时间,如图 3b 所示,当符合分辨时间延长为 10 ns 时,第 6 通道和第 7 通道各自的计数均未出现,只有两通道的符合计数存在。10 ns 的符合分辨时间可以避免符合事件被符合计数器错误记录。显然,设置恰当的符合分辨时间对于符合计数结果有着重要影响。

为了进一步测试 11 通道符合计数器的性能,我们测量了两台单光子探测器存在背景光时的符合情况。符合结果如图 4 所示,图 4 纵坐标

是符合计数结果,横坐标是各种符合情况所对应的位置,其中图 a 为两台单光探测器的暗计数的

符合情况,b, c, d 分别为背景光不断增强时两台单光子计数器输出的符合情况。

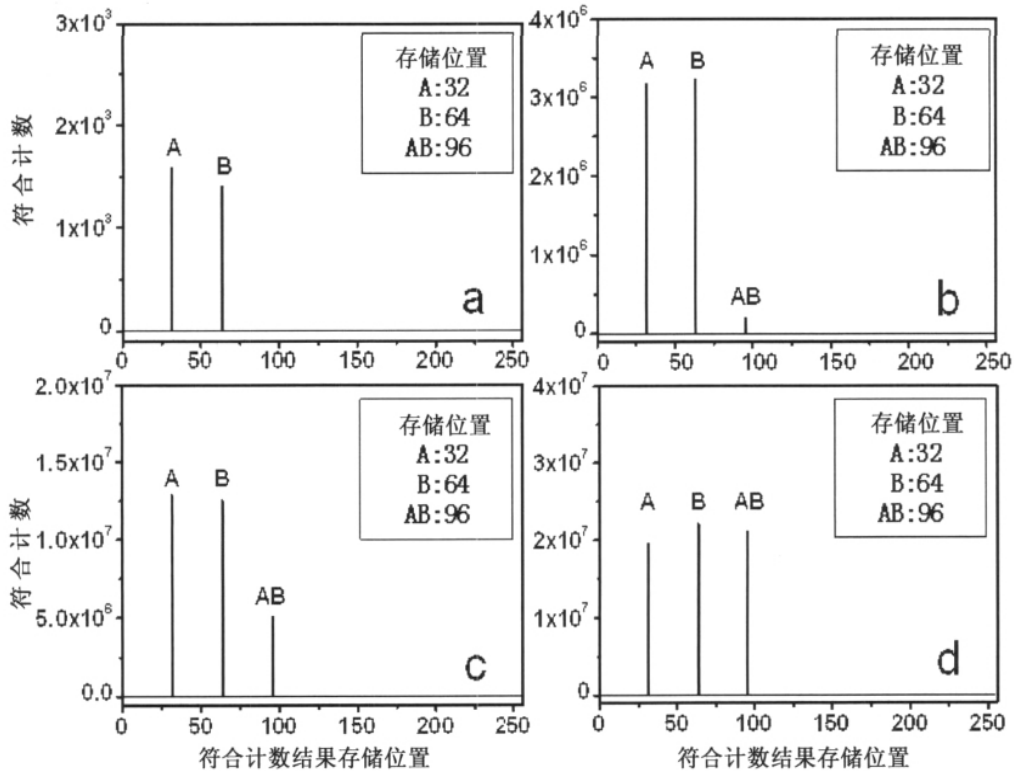


图 4 两台单光子计数器在不同背景光下的符合计数情况

Fig. 4 Coincidences of two single photon counting modules under different background light

计数通道仍然为第 6 通道(A)与第 7 通道(B),对应存储位置为 32 与 64,符合计数存储位置在 96(AB)。符合分辨时间为 200 ns,计数时间为 30 s。两台单光子探测器的输出脉冲能否发生符合仅仅取决于它们的时间间隔是否小于 200 ns 的符合分辨时间。由于单光子探测器在探测背景光时输出脉冲在时间上随机均匀分布,显然两台单光子探测器的输出脉冲之间的时间间隔大小与输出脉冲的多少有关。在暗计数情况下,由于单光子探测器的输出仅为每秒 50 次左右,不同探测器的输出脉冲之间的时间间隔远大于 200 ns,因此在暗计数时,11 通道符合计数器所探测到只是两台单光子探测器各自的暗计数,如图 4a 所示;当背景光较弱时,输出脉冲数目有限,时间间隔小于 200 ns 的脉冲仅占一小部分,与两台单光子探测器各自的计数相比,它们

的符合计数所占比例很低,如图 4b 所示;随着背景光的增强,不同探测器的输出脉冲逐渐增多,有更多的输出脉冲时间间隔小于 200 ns,符合计数在所有计数中所占比例明显提高,如图 4c 所示;在图 4d 中,由于背景光的显著增强,使得两台单光子探测器的输出脉冲增加,时间间隔小于 200 ns 或大于 200 ns 的符合计数在数量上并没有明显区别,符合计数与两信号单独计数的数量基本相等。

本文介绍了多通道符合计数系统的基本结构和各部分的工作原理,实验测量了两只单光子计数器在不同强度背景光下的符合计数。基于 FPGA 的多通道符合计数系统具有体积小,成本低的优点,特别是 FPGA 还具有可多次重复编程配置,使得用户可以随时灵活修改设计,满足不同条件下的实验要求。

参考文献:

- [1] THORN J J, NEAL M S, DONATO V W, *et al.* Observing the Quantum Behavior of Light in an Undergraduate Laboratory [J]. *Am J Phys*, 2004, **72**: 1210-1219.
- [2] CARLSON J A, OLMSTEAD M D, BECK M. Quantum Mysteries Tested: An Experiment Implementing Hardy's test of Local Realism [J]. *Am J Phys*, 2006, **74**: 180-186.
- [3] BRANNING D, BHANDARI S, BECK M. Low-cost Coincidence-counting Electronics for Undergraduate Quantum Optics [J]. *Am J Phys*, 2009, **77**: 667-670.
- [4] BARONTI F, LAZZERI A, RONCELLA R, *et al.* FPGA/DSP-based Implementation of a High-performance Multi-channel Counter [J]. *J Syst Arc*, 2009, **55**: 310-316.
- [5] BECK M. Comparing Measurements of $g^{(2)}(0)$ Performed with Different Coincidence Detection Techniques [J]. *J Opt Soc Am B*, 2007, **24**: 2972-2978.
- [6] ZAPPA F, GULINATTI A, MACCAGNANI P, *et al.* SPADA: Single-photon Avalanche Diode Arrays [J]. *Photo Tech Lett IEEE*, 2005, **17**(3): 657-659.
- [7] NICLASS C, SERGIO M, CHARBON E. A CMOS 64×48 Single Photon Avalanche Diode Array with Event-driven Readout [M]. Proc ESSCIRC, 2006, 556-559.
- [8] NICLASS C, GERSBACH M, HENDERSON R, *et al.* A Single-photon Avalanche Diode Implemented in 130 nm CMOS Technology [J]. *J Sel Top Quantum Electron*, 2007, **13**(4): 863-869.
- [9] STOCKTON J, ARMEN M, MABUCHI H. Programmable Logic Devices in Experimental Quantum Optics [J]. *J Opt Soc Am B*, 2002, **19**: 3019-3027.
- [10] PATEREK T, FEDRIZZI A, GROBLACHER S, *et al.* Experimental Test of Nonlocal Realistic Theories without the Rotational Symmetry Assumption [J]. *Phys Rev Lett*, 2007, **99**: 210406.
- [11] MABUCHI H, DOHERTY A C. Cavity Quantum Electrodynamics; Coherence in Context [J]. *Science*, 2002, **298** (5597): 1372-1377.
- [12] PREDOJEVIĆ, ZHAI Z, CABALLERO J M, *et al.* Rubidium Resonant Squeezed Light from a Diode-pumped Optical-parametric Oscillator [J]. *Phys Rev A*, 2008, **78**: 063820.
- [13] FELEKYAN S, KÜHNEMUTH R, KUDRYAVTSEV V, *et al.* Full Correlation from Picoseconds to Seconds by Time-resolved and Time-correlated Single Photon Detection [J]. *Rev Sci Instrum*, 2005, **76**: 083104.
- [14] STUMMER A. [http://www.physics.utoronto.ca/~astummer/pub/mirror/Projects/Archives/2008 Coincidence Counter/Coincidence Counter.html](http://www.physics.utoronto.ca/~astummer/pub/mirror/Projects/Archives/2008_Coincidence_Counter/Coincidence_Counter.html).

Multi-Channel Coincidence Counter For Coincidence Measurement

HUO Qiang, ZHANG Jing

(State Key Laboratory of Quantum and Quantum Optical Devices, Institute of Opto-Electronics, Shanxi University, Taiyuan, Shanxi 030006, China)

Abstract: Coincidence counting is widely used in quantum optics. It could be used in measuring the pairs of polarization entangled photons and single photon interference. In quantum experiments, coincidence counting often needs more than 3 channels. In this case, it is necessary to use FPGA (Field-Programmable Gate Array) instead of discrete logic chips. FPGA also has the advantage of low cost and small size. Coincidence counter based on FPGA could support coincidence time window from 1 ns to several hundred ns. This helps to avoid noised caused by background light. This paper introduces the principle of multi-channel coincidence counter based on FPGA and gives its performance experimentally with two single photon counting modules.

Key words: coincidence counting; FPGA; coincidence resolving time